



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ
ΕΡΓΑΣΤΗΡΙΟ ΥΠΟΛΟΓΙΣΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

**Ανάπτυξη Λογισμικού και Τεχνικών Συμπίεσης Δεδομένων για τη
Βελτίωση της Επίδοσης Υπολογιστικών Εφαρμογών σε Παράλληλες
Αρχιτεκτονικές Μοιραζόμενης Μνήμης**

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

Αντώνιος - Κορνήλιος Κούρτης

Αθήνα, Απρίλιος 2010



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ
ΕΡΓΑΣΤΗΡΙΟ ΥΠΟΛΟΓΙΣΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

Ανάπτυξη Λογισμικού και Τεχνικών Συμπίεσης Δεδομένων για τη Βελτίωση της Επίδοσης Υπολογιστικών Εφαρμογών σε Παράλληλες Αρχιτεκτονικές Μοιραζόμενης Μνήμης

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

Αντώνιος - Κορνήλιος Ε. Κούρτης

Συμβουλευτική Επιτροπή: Νεκτάριος Κοζύρης (επιβλέπων)
Γεώργιος Παπακωνσταντίνου
Παναγιώτης Τσανάκας

Εγκρίθηκε από την επταμελή εξεταστική επιτροπή τη 16η Απριλίου 2010

Νεκτάριος Κοζύρης
Αναπ. Καθηγητής Ε.Μ.Π.

Γεώργιος Παπακωνσταντίνου
Ομότιμος Καθηγητής Ε.Μ.Π.

Παναγιώτης Τσανάκας
Καθηγητής Ε.Μ.Π.

Κωνσταντίνος Σαγώνας
Αναπ. Καθηγητής Ε.Μ.Π.

Ανδρέας Μπουντουβής
Καθηγητής Ε.Μ.Π.

Δημήτριος Γκιζόπουλος
Αναπ. Καθηγητής Πα.Πει.

Δημήτριος Νικολόπουλος
Αναπ. Καθηγητής
Πανεπιστημίου Κρήτης

Αθήνα, Απρίλιος 2010

Αντώνιος - Κορνήλιος Ε. Κούρτης

Η παρούσα διατριβή χρηματοδοτήθηκε από το έργο ΠΕΝΕΔ 2003, που υλοποιείται στο πλαίσιο του Μέτρου 8.3 του Ε.Π. Ανταγωνιστικότητα Γ' Κοινοτικό Πλαίσιο Στήριξης και συγχρηματοδοτείται κατά: 80% της Δημόσιας Δαπάνης από την Ευρωπαϊκή Ένωση - Ευρωπαϊκό Κοινωνικό Ταμείο, 20% της Δημόσιας Δαπάνης από το Ελληνικό Δημόσιο - Υπουργείο Ανάπτυξης - Γενική Γραμματεία Έρευνας και Τεχνολογίας.

Copyright © Αντώνιος - Κορνήλιος Ε. Κούρτης, 2010
Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν το συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Contents

Abstract	1
Ευχαριστίες	3
Περίληψη	5
0.1 Εισαγωγή	5
0.2 Υπόβαθρο	7
0.3 Αραιοί πίνακες	11
0.4 Σχήματα αποθήκευσης αραιών πινάκων	13
0.5 Πολλαπλασιασμός αραιού πίνακα με διάνυσμα	18
0.6 Το σχήμα αποθήκευσης CSR-DU	30
0.7 Το σχήμα αποθήκευσης CSR-VI	41
0.8 Το σχήμα αποθήκευσης CSX	48
0.9 Σχετικές εργασίες	58
0.10 Συμπεράσματα και μελλοντικές κατευθύνσεις	59
1 Introduction	61
1.1 Contribution	62
1.2 Outline	63
2 Background and key ideas	65
2.1 Shared memory systems	65
2.2 Application scaling on shared memory systems	66
2.3 Compression for optimizing multithreaded applications	70
2.4 Case study: bitmap indices	72
2.5 Conclusions	73
3 Sparse Matrices and Sparse Matrix-Vector Multiplication	75
3.1 Sparse Matrices	75

3.2	The sparse matrix-vector multiplication operation	75
3.3	Sparse storage formats	77
3.4	Conclusions	83
4	Sparse Matrix-Vector Multiplication performance	85
4.1	SpMxV algorithm	85
4.2	CSR SpMxV implementation	86
4.3	Multithreaded SpMxV	89
4.4	SpMxV performance	91
4.5	Experimental evaluation	92
4.6	Related work	102
5	Column Index compression using Delta Encoding	105
5.1	Motivation and general approach	105
5.2	The CSR-DU storage format	107
5.3	Performance evaluation	113
5.4	Related work	122
6	Value compression using Indirect Accesses	123
6.1	Motivation and general approach	123
6.2	The CSR-VI storage format	123
6.3	Combining CSR-DU and CSR-VI	125
6.4	Performance evaluation	126
6.5	Related work	133
7	Enriched Matrix Structure Exploitation	135
7.1	Motivation and general approach	135
7.2	CSX substructures	136
7.3	CSX matrix construction	137
7.4	Restrictions and extensions	143
7.5	Experimental evaluation	143
8	Conclusions and future work	149

Bibliography 150

A Implementation Details 159

A.1 Blocked version of matrix multiplication 159

A.2 Memory throughput benchmark 160

A.3 Memcomp benchmark 161

Abstract

This dissertation deals with data volume reduction techniques that aim to improve the performance of memory-bandwidth starving applications. Although our methods can be successfully applied to serial execution [KGK08], we concentrate on parallel shared-memory architectures where memory bandwidth is scarce, but (pure) computation power plentiful. Our proposed techniques aim at decreasing the non-scalable part of execution time (memory access), at the cost of additional computation overhead. We argue that, since the additional cost is scalable, it will be mitigated as core count increases.

We focus on the application domain of sparse computations. We show that the performance of the sparse matrix-vector multiplication (SpMxV) — an important and ubiquitous scientific kernel — on shared memory systems is restrained by the severe lack of available memory bandwidth.

To decrease memory contention and improve kernel performance we propose two compression schemes: CSR-DU, that targets the reduction of the matrix structural data by applying coarse-grained delta-encoding, and CSR-VI, that targets the reduction of the values using indirect indexing, applicable to matrices with a small number of unique values. Thorough experimental evaluation of the proposed methods and their combination, on two modern shared memory systems, demonstrated that they can significantly improve multithreaded SpMxV performance upon standard and state-of-the-art approaches.

Motivated by the design of CSR-DU, we generalize our approach and propose a storage format, called CSX, that aims at sparse matrix structure exploitation by supporting arbitrary compression schemes. We describe a first implementation, based on delta run-length encoding, that focuses on generality and neatness. Although our work is still under way, initial experimentation shows promising results — especially for matrices that are unable to benefit from CSR-DU.

Ευχαριστίες

Η παρούσα διατριβή εκπονήθηκε στο Εργαστήριο Υπολογιστικών Συστημάτων του Εθνικού Μετσόβιου Πολυτεχνείου. Στο συγκεκριμένο χώρο είχα την ευκαιρία να έρθω σε επαφή με ανθρώπους και ιδέες που είχαν καθοριστικό ρόλο στην εξέλιξή μου ως ερευνητή, αλλά και γενικότερα ως άνθρωπο. Θα ήθελα, επομένως, να εκφράσω τις ευχαριστίες μου σε όλους αυτούς που συνέβαλαν στη δημιουργία ενός γόνιμου κλίματος στο εν λόγω εργαστήριο.

Αρχικά, θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή της διατριβής, Ν. Κοζύρη για την πολυεπίπεδη στήριξη που μου παρείχε, αλλά και για την εμπιστοσύνη και την πίστη που έδειξε στο πρόσωπό μου. Επιπρόσθετα, θα ήθελα να ευχαριστήσω τα υπόλοιπα μέλη της συμβουλευτικής μου επιτροπής, τους καθηγητές Γ. Παπακωνσταντίνου και Π. Τσανάκα, καθώς και τον καθηγητή Κ. Σαγώνα, η αφοσίωση του οποίου στα μεταπτυχιακά του μαθήματα με βοήθησε να έρθω σε επαφή με νέες ερευνητικές περιοχές.

Θα ήθελα, επίσης, να ευχαριστήσω εμφατικά τον Γ. Γκούμα για την καθοδήγηση, την υπομονή και την προθυμία του κατά τη συνεργασία μας. Η συμβολή του στη διατριβή ήταν καθοριστική.

Ευχαριστώ ιδιαίτερω τον Γ. Τσουκαλά, κυρίως για την επιμονή του να αναζητά την ουσία, τους Α. Σωτηρόπουλο, Β. Κούκη, Α. Χαζάπη, Γ. Βεριγάκη, Α. Ζίσιμο, Γ. Αναστόπουλο και Β. Καρακάση, καθώς και όλα τα — νέα και παλιά — μέλη του εργαστηρίου για τη δημιουργική συνεργασία και το φιλικό καθημερινό περιβάλλον που μου προσέφεραν.

0.1 Εισαγωγή

Ο νόμος του Moore περιγράφει μία τάση της τεχνολογίας επεξεργαστών, σύμφωνα με την οποία ο αριθμός των τρανζίστορ που μπορούν να τοποθετηθούν σε ένα ολοκληρωμένο κύκλωμα διπλασιάζεται κάθε δύο χρόνια. Μέχρι πρόσφατα, ήταν εφικτή η εκμετάλλευση της τάσης αυτής για τη βελτίωση της σειριακής εκτέλεσης εφαρμογών χρησιμοποιώντας τεχνικές που στοχεύουν στην αξιοποίηση της παραλληλίας επιπέδου εντολών (instruction-level parallelism – ILP). Ωστόσο, τα τελευταία χρόνια η πρακτική αυτή δεν μπορεί να εξασφαλίσει τη βελτίωση της επίδοσης των επεξεργαστών, εξαιτίας προβλημάτων όπως η μεγάλη κατανάλωση ενέργειας.

Αν και υπήρξαν κάποιες ερευνητικές προσπάθειες που αποσκοπούσαν στη βελτίωση της σειριακής επίδοσης [CSC⁺05], φαίνεται να έχει επικρατήσει η άποψη ότι η προσέγγιση αυτή είναι αδιέξοδη. Αντίθετα, η τεχνική της ενσωμάτωσης πολλαπλών υπολογιστικών πυρήνων (cores) στον επεξεργαστή θεωρείται η μόνη λύση, ώστε οι εφαρμογές να συνεχίσουν να επωφελούνται από το νόμο του Moore. Οι επεξεργαστές αυτοί ονομάζονται επεξεργαστές πολλαπλών πυρήνων (multicores, chip multiprocessors – CMP) [ONH⁺96] και αποτελούν πλέον τη νόρμα στη σχεδίαση επεξεργαστών [PDG06, Gee05]. Οι επεξεργαστές CMP λύνουν τα προβλήματα των επεξεργαστών προηγούμενης γενιάς έχοντας απλούστερη σχεδίαση και στοχεύοντας στην αξιοποίηση της παραλληλίας επιπέδου νημάτων (thread-level parallelism – TLP) και όχι επιπέδου εντολών.

Ωστόσο, αυτή η αλλαγή στη σχεδίαση επεξεργαστών έφερε σημαντική αναταραχή στον κόσμο του λογισμικού. Πριν από την καθιέρωση των επεξεργαστών CMP, οι εφαρμογές, στη συντριπτική τους πλειοψηφία σειριακές, εκμεταλλεύονταν τις δυνατότητες των νέων επεξεργαστών χωρίς να απαιτούνται αλλαγές στον κώδικά τους. Καθώς οι πολυπύρρηνοι επεξεργαστές καθιερώνονται, οι προγραμματιστές θα πρέπει να εγκαταλείψουν το σειριακό προγραμματισμό και να ενσωματώσουν τεχνικές παραλληλισμού στις εφαρμογές τους.

Υπάρχουν δύο βασικά ζητήματα που πρέπει να ληφθούν υπόψη κατά τη μετάβαση στο πολύ-επεξεργαστικό μοντέλο: η δυνατότητα προγραμματισμού (programmability) και η επίδοση. Σε αυτή τη διατριβή ασχολούμαστε με θέματα επίδοσης. Συγκεκριμένα, η παρούσα εργασία στοχεύει στη βελτίωση της επίδοσης εφαρμογών με έντονες προσβάσεις στη μνήμη. Οι εφαρμογές αυτές συνήθως διέπονται από δύο χαρακτηριστικά: (α) υψηλό ρυθμό προσβάσεων στη μνήμη σε σχέση με πράξεις υπολογισμού και (β) περιορισμένη χρονική τοπικότητα αναφορών (temporal locality). Οι εφαρμογές με έντονες προσβάσεις στη μνήμη, ακόμα και αν η παραλληλοποίησή τους δεν περιλαμβάνει επιπλέον κόστος, αναμένεται να έχουν χαμηλή επίδοση σε πολύ-επεξεργαστικά συστήματα μοιραζόμενης μνήμης. Η αιτία της χαμηλής επίδοσης είναι η αδυναμία των περισσοτέρων συστημάτων να διατηρήσουν υψηλό ρυθμό μεταφοράς δεδομένων κατά την ταυτόχρονη πρόσβαση πολλαπλών επεξεργαστικών μονάδων στην κύρια μνήμη. Στην περίπτωση αυτή, οι καθυστερήσεις που προκύπτουν περιορίζουν την επίδοση, ιδιαίτερα εάν οι αναφορές στη μνήμη είναι αναγνώσεις, από τις οποίες εξαρτώνται μελλοντικές εντολές.

Επικεντρώναστε σε υπολογισμούς αραιών πινάκων (sparse computations). Οι υπολογισμοί αραιών πινάκων συναντώνται σε πληθώρα επιστημονικών εφαρμογών (π.χ. στην επίλυση μερικών διαφορικών εξισώσεων — ΜΔΕ) και αφορούν πίνακες που περιέχουν μεγάλο αριθμό μηδενικών στοιχείων. Συγκεκριμένα, στοχεύουμε στη βελτίωση της επίδοσης του υπολογιστι-

κού πυρήνα πολλαπλασιασμού αραιού πίνακα με διάνυσμα (sparse matrix-vector multiplication – SpMxV). Ο συγκεκριμένος πυρήνας, αν και απλός, παρουσιάζει χαμηλή επίδοση και έχει αποτελέσει αντικείμενο πολλών ερευνητικών εργασιών [AGZ92, TJ92, CA96, Tol97, WS97, PH99, IY99, Im00, GR99, IY01, VDY⁺02, Vud03, MCG04, PHCR04, PHCR05, BELF07, VM05, KHK⁺05, WL06, WOV⁺09, Wil08, BBR09, KGK09b, KGK09a].

Η παρούσα εργασία διερευνά τη χρήση τεχνικών συμπίεσης δεδομένων με στόχο τη βελτίωση του χρόνου εκτέλεσης εφαρμογών με έντονες προσβάσεις στη μνήμη. Η βασική διαφορά από τις συνήθεις τεχνικές συμπίεσης είναι ότι δεν αρκεί η μείωση του όγκου των δεδομένων. Αντίθετα, για να μειωθεί ο χρόνος εκτέλεσης της εφαρμογής είναι απαραίτητη προϋπόθεση να υπερκεραστεί η όποια επιβάρυνση προκύψει από την αποσυμπίεση.

Στη συνέχεια παρατίθεται μία σύνοψη της συνεισφοράς της παρούσας εργασίας:

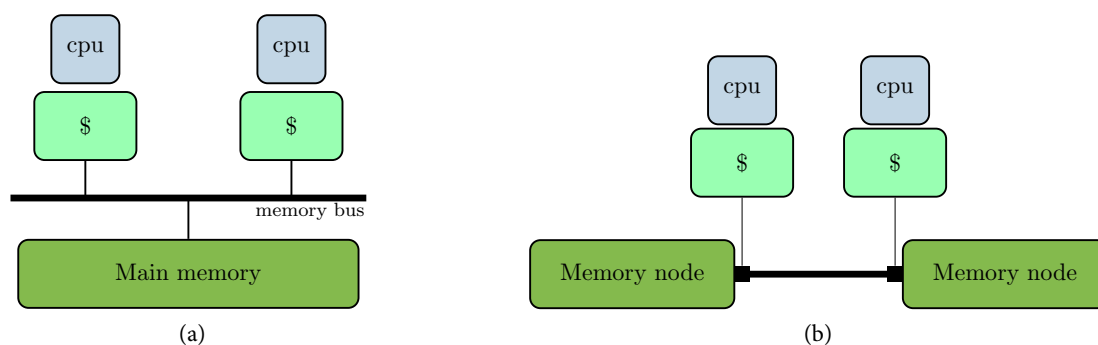
- Διερευνούμε τη συμπίεση δεδομένων ως τεχνική για τη βελτίωση της επίδοσης υπολογιστικών εφαρμογών που χαρακτηρίζονται από έντονες προσβάσεις στη μνήμη. Σκιαγραφούμε τις προϋποθέσεις κάτω από τις οποίες μία τέτοια τεχνική βελτιστοποίησης θα είναι αποτελεσματική.
- Μελετούμε την επίδοση του υπολογιστικού πυρήνα SpMxV και καταλήγουμε ότι: (α) η επίδοσή του περιορίζεται από τον ανεπαρκή ρυθμό μεταφοράς δεδομένων από την κύρια μνήμη και (β) τηρεί τις απαραίτητες προϋποθέσεις ώστε η συμπίεση δεδομένων να έχει θετική επίδραση στην επίδοσή του.
- Προτείνουμε το σχήμα αποθήκευσης αραιών πινάκων CSR-DU. Το σχήμα CSR-DU στοχεύει στη συμπίεση των δεδομένων δομής του πίνακα χρησιμοποιώντας κωδικοποίηση δέλτα (delta encoding) και αξιοποιώντας συνεχόμενα στοιχεία.
- Βασιζόμενοι στην παρατήρηση ότι αρκετοί πίνακες περιέχουν σημαντικό αριθμό από κοινές αριθμητικές τιμές, προτείνουμε το σχήμα αποθήκευσης CSR-VI. Το σχήμα αυτό υλοποιεί συμπίεση των αριθμητικών τιμών του πίνακα χρησιμοποιώντας έμμεση δεικτοδότηση (indirect indexing). Επιπλέον, προτείνουμε το συνδυασμό των σχημάτων CSR-DU και CSR-VI σε νέο σχήμα που ονομάζεται CSR-DUVI.
- Τέλος, παρουσιάζουμε τα αποτελέσματα μίας πρώτης απόπειρας για τη δημιουργία ενός γενικευμένου σχήματος αποθήκευσης, το οποίο μπορεί να υποστηρίξει πολλαπλά σχήματα συμπίεσης. Ονομάζουμε το σχήμα αυτό CSX και περιγράφουμε μία αρχική υλοποίησή του βασισμένη σε κωδικοποίηση δέλτα και σε περιορισμό των επαναλαμβανόμενων τιμών (run-length encoding).

Η συνέχεια της διατριβής έχει οργανωθεί ως εξής: στο 0.2, παρουσιάζουμε το απαραίτητο υπόβαθρο και τη γενική ιδέα της χρήσης τεχνικών συμπίεσης για τη βελτίωση της επίδοσης πολυνηματικών εφαρμογών. Τα 0.3 και 0.4, παρέχουν μια σύντομη επισκόπηση στο πεδίο των αραιών πινάκων, ενώ το 0.5 εξετάζει την επίδοση του πυρήνα SpMxV. Στο 0.6 παρουσιάζεται το σχήμα αποθήκευσης CSR-DU, στο 0.7 το CSR-VI και στο 0.8 το σχήμα CSX. Τέλος, το 0.9 συζητά σχετικές εργασίες και το 0.10 συνοψίζει τα συμπεράσματα της παρούσας εργασίας και παρουσιάζει μελλοντικές κατευθύνσεις.

0.2 Υπόβαθρο

0.2.1 Συστήματα μοιραζόμενης μνήμης

Τα συστήματα μοιραζόμενης μνήμης είναι μία οικογένεια παραλλήλων συστημάτων που περιλαμβάνουν πολλαπλούς επεξεργαστές, οι οποίοι μοιράζονται την κεντρική μνήμη του συστήματος. Μέχρι πρόσφατα, η πιο διαδεδομένη μορφή συστημάτων μοιραζόμενης μνήμης ήταν τα συστήματα SMP (symmetric multiprocessing). Τα συστήματα αυτά αποτελούνται από πολλαπλούς επεξεργαστές, οι οποίοι επικοινωνούν μέσω ενός δικτύου διασύνδεσης. Το δίκτυο αυτό είναι, συνήθως, ένας διάδρομος (Σχήμα 1a).

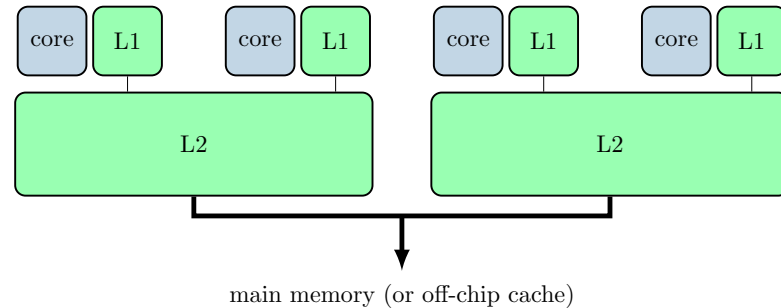


Σχήμα 1: Συστήματα μοιραζόμενης μνήμης (a) Σύστημα SMP (b) Σύστημα NUMA

Το βασικό μειονέκτημα της αρχιτεκτονικής SMP, σχετικά με την επίδοση, είναι ότι η μνήμη αποτελεί κοινό πόρο για όλους τους επεξεργαστές. Όταν οι επεξεργαστές προσπελάζουν ταυτόχρονα τη μνήμη, δημιουργείται συμφόρηση στον διάδρομο διότι οι αιτήσεις πρόσβασης σειριοποιούνται. Μια εναλλακτική αρχιτεκτονική που αντιμετωπίζει αυτό το πρόβλημα είναι η αρχιτεκτονική NUMA (Non-Uniform Memory Access). Στην αρχιτεκτονική NUMA, όπως φαίνεται στο Σχήμα 1b, η μνήμη κατανέμεται σε πολλαπλούς κόμβους (nodes), οι οποίοι συνδέονται με ένα επεκτάσιμο δίκτυο διασύνδεσης. Ο κάθε κόμβος NUMA είναι τοπικός σε ένα σύνολο επεξεργαστών και η τοπική πρόσβαση είναι, γενικά, υψηλότερης επίδοσης από την απομακρυσμένη πρόσβαση. Είναι σαφές ότι η αρχιτεκτονική αυτή αμβλύνει το πρόβλημα της ταυτόχρονης προσπέλασης στη κύρια μνήμη, αφού οι επεξεργαστές μπορούν να χρησιμοποιούν ταυτόχρονα διαφορετικούς κόμβους NUMA. Βέβαια, κάτι τέτοιο προϋποθέτει κατάλληλη τοποθέτηση των δεδομένων στους κόμβους, ώστε η πρόσβαση να είναι βελτιστοποιημένη. Η ευθύνη της κατάλληλης τοποθέτησης των δεδομένων δεν εναποτίθεται στο υλικό, αλλά στο λειτουργικό σύστημα ή στον προγραμματιστή. Τα συστήματα αυτά κατηγοριοποιούνται ως συστήματα μοιραζόμενης μνήμης γιατί προσφέρουν μία ενιαία και συναφή (coherent) εικόνα της μνήμης.

Στις προηγούμενες παραγράφους αναφερθήκαμε σε σχήματα μοιραζόμενης μνήμης για πολλαπλούς επεξεργαστές. Οι επεξεργαστές αυτοί, ωστόσο, είναι πιθανό να είναι πολυπύρρηνοι. Για παράδειγμα το Σχήμα 2 παρουσιάζει το διάγραμμα ενός επεξεργαστή με τέσσερις πυρήνες. Κάθε ένας από τους πυρήνες έχει τη δική του κρυφή μνήμη L1, ενώ οι πυρήνες μοιράζονται δύο κρυφές μνήμες L2 ανά ζεύγη. Ο επεξεργαστής μπορεί να συνδέεται απευθείας στην κεντρική μνήμη ή να

παρεμβάλλεται μία κρυφή μνήμη που βρίσκεται εκτός ολοκληρωμένου (off-chip cache). Προφανώς, οι πολυπύρηνου επεξεργαστές επιδεινώνουν το πρόβλημα επίδοσης που δημιουργείται κατά την ταυτόχρονη πρόσβαση στη μνήμη.



Σχήμα 2: Παράδειγμα πολυπύρηνου επεξεργαστή με τέσσερις πυρήνες.

0.2.2 Επεκτασιμότητα εφαρμογών σε συστήματα μοιραζόμενης μνήμης

Όπως απεικονίζεται στο νόμο του Amdahl, η εφικτή επιτάχυνση (speedup) της επίδοσης μίας εφαρμογής σε μία παράλληλη αρχιτεκτονική περιορίζεται από τα σειριακά μέρη του προγράμματος. Είναι πιθανό, ωστόσο, η υλοποίηση μίας παράλληλης αρχιτεκτονικής να αποτελέσει την αιτία για τη σειριοποίηση περιοχών του προγράμματος οι οποίες είναι, από την οπτική γωνία του προγραμματιστή, παράλληλες.

Συγκεκριμένα, στις αρχιτεκτονικές μοιραζόμενης μνήμης η συμπεριφορά των εφαρμογών εξαρτάται σε μεγάλο βαθμό από το είδος των προσβάσεων που πραγματοποιούν στη μνήμη. Οι εφαρμογές που δεν έχουν εξαρτήσεις δεδομένων και παρουσιάζουν καλή τοπικότητα αναφορών τείνουν να πετυχαίνουν υψηλές επιταχύνσεις, διότι ο κάθε πυρήνας μπορεί να λειτουργεί χωρίς να επηρεάζει τη λειτουργία των υπολοίπων. Αντίθετα, εφαρμογές που πραγματοποιούν συχνές προσβάσεις στη μνήμη και χαρακτηρίζονται από φτωχή τοπικότητα αναφορών, δεν επιδεικνύουν υψηλό βαθμό επιτάχυνσης εξαιτίας συμφόρησης κατά την ταυτόχρονη πρόσβαση στην κύρια μνήμη.

Με βάση την προηγούμενη παρατήρηση, χωρίζουμε το χρόνο εκτέλεσης μίας εφαρμογής, που εκτελείται ένα σύστημα μοιραζόμενης μνήμης, σε δύο μέρη: (α) ένα επεκτάσιμο (π.χ. εντολές υπολογισμού, πρόσβαση στην ιδιωτική ιεραρχία μνήμης) και (β) ένα μη-επεκτάσιμο (π.χ. πρόσβαση στην κύρια μνήμη). Συνεπώς, ο χρόνος εκτέλεσης ενός προγράμματος μπορεί να εκφραστεί ως:

$$t = \frac{r_c \cdot d}{n} + bw_n \cdot d \quad (1)$$

Όπου:

n Ο αριθμός των νημάτων.

d Ο όγκος των δεδομένων που χρειάζεται να μεταφερθούν από την κύρια μνήμη. Η τιμή αυτής της παραμέτρου εξαρτάται από τις προσβάσεις της εφαρμογής στη μνήμη (π.χ. το-

πικότητα αναφορών) και την υλοποίηση της ιεραρχίας μνήμης (μέγεθος κρυφής μνήμης, μέγεθος γραμμής κ.α.).

r_c Το κόστος σε χρόνο των επεκτάσιμων υπολογισμών ανά byte δεδομένων που μεταφέρθηκε από την κύρια μνήμη. Η τιμή αυτής της παραμέτρου εξαρτάται από τις λειτουργίες της εφαρμογής και την ταχύτητα του επεξεργαστή.

bw_n Ο μέγιστος εφικτός ρυθμός μεταφοράς δεδομένων από την κύρια μνήμη, όταν χρησιμοποιούνται n νήματα. Εξαρτάται από τη μορφή των προσβάσεων στη μνήμη (π.χ. χωρική τοπικότητα αναφορών) και τις δυνατότητες του υλικού, δεδομένης της τοπολογίας των πυρήνων που χρησιμοποιούνται (π.χ. προφόρτωση δεδομένων σε επίπεδο υλικού, κ.α.).

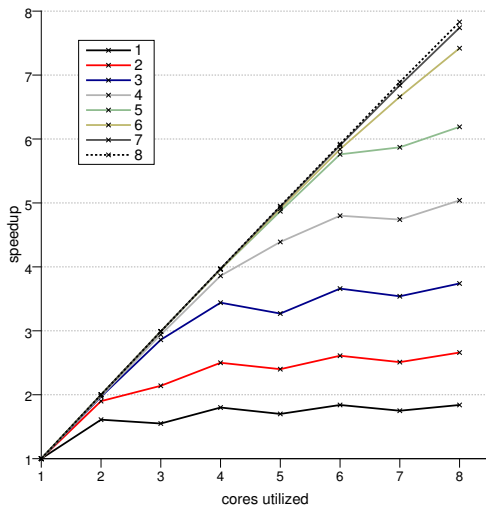
Οι σύγχρονοι επεξεργαστές και ιεραρχίες μνήμης είναι ιδιαίτερα πολύπλοκα συστήματα. Είναι, συνεπώς, δύσκολο να μοντελοποιηθούν οι παράμετροι της Εξίσωσης 1 ώστε προβλεφθεί η επίδοση εφαρμογών σε πραγματικά υπολογιστικά συστήματα, και ιδιαίτερα για επεξεργαστές που υλοποιούν τεχνικές όπως εκτέλεση εκτός σειράς (out of order execution). Για να διερευνήσουμε (ποσοτικά) την επίδραση των δύο μερών του χρόνου εκτέλεσης (επεκτάσιμο και μη-επεκτάσιμο) σε πραγματικά συστήματα χρησιμοποιούμε μία πειραματική προσέγγιση. Συγκεκριμένα, αναπτύξαμε ένα μετροπρόγραμμα (benchmark), το οποίο ονομάζεται *memcomp*. Το μετροπρόγραμμα *memcomp* αναλαμβάνει να εκτελέσει βρόχους, κατά τη διάρκεια των οποίων πραγματοποιούνται αναγνώσεις από τη μνήμη (memory load), κάθε μία από τις οποίες ακολουθείται από c προσθέσεις του αποτελέσματος της ανάγνωσης σε έναν καταχωρητή. Η έξοδος του προγράμματος είναι ο χρόνος εκτέλεσης του βρόχου.

Πραγματοποιήσαμε πειράματα χρησιμοποιώντας αριθμούς κινητής υποδιαστολής διπλής ακρίβειας, ενώ ο βρόχος “ξετυλίχθηκε” (unroll) ώστε να πραγματοποιεί 64 αναγνώσεις (και συνεπώς $64 \cdot c$ προσθέσεις) σε κάθε επανάληψη. Τα αποτελέσματα που προέκυψαν για διαφορετικές τιμές της παραμέτρου c παρουσιάζονται στο Σχήμα 3, όπου διαφορετικές γραμμές του γραφήματος αντιστοιχούν σε διαφορετικές τιμές της c . Όπως ήταν αναμενόμενο, για $c = 1$ η επεκτασιμότητα του *memcomp* είναι προβληματική. Όσο αυξάνεται ο αριθμός των πράξεων υπολογισμού, ωστόσο, η επεκτασιμότητα βελτιώνεται και φθάνει τελικά τη θεωρητική επίδοση. Το σημείο που παρατηρείται η παραπάνω αλλαγή, εξαρτάται σε σημαντικό βαθμό από την υφιστάμενη αρχιτεκτονική υλοποίηση.

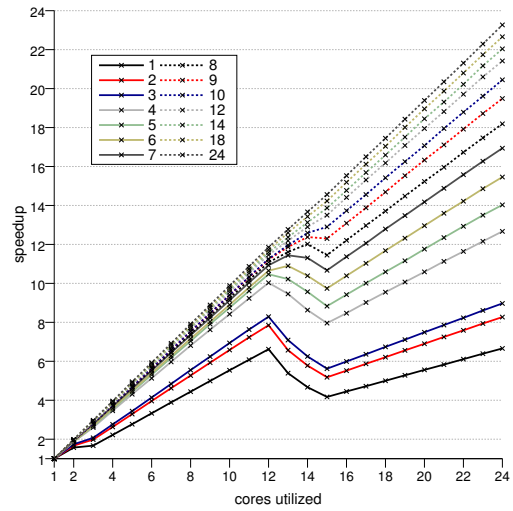
Στη συνέχεια, στοχεύοντας στη βελτίωση της επίδοσης εφαρμογών με έντονες προσβάσεις στη μνήμη, εξερευνούμε τη χρήση μεθόδων συμπίεσης. Αναφορικά με την Εξίσωση 1, στοχεύουμε στη μείωση του μη-επεκτάσιμου κόστους, θυσιάζοντας υπολογιστικό κόστος. Υποστηρίζουμε ότι εφόσον το επιπλέον υπολογιστικό κόστος είναι επεκτάσιμο, η συνολική επίδοση της εφαρμογής θα βελτιωθεί, όταν χρησιμοποιηθούν αρκετοί πυρήνες.

0.2.3 Συμπίεση δεδομένων για τη βελτιστοποίηση εφαρμογών

Γενικά, η συμπίεση δεδομένων μπορεί να θεωρηθεί ως δοσοληψία, στην οποία το κέρδος είναι η μείωση του όγκου δεδομένων, ενώ το κόστος είναι οι επιπλέον (απαραίτητοι) υπολογισμοί (π.χ. αποσυμπίεση). Οι συνήθεις χρήσεις της συμπίεσης δεδομένων αποσκοπούν σε μείωση του χρόνου μεταφοράς δεδομένων πάνω από ένα δίκτυο ή σε μείωση του χώρου που καταλαμβάνει



(a)



(b)

Σχήμα 3: Επιτάχυνση του μετροπρογράμματος memcomp. Διαφορετικές γραμμές αναπαριστούν διαφορετικές τιμές της παραμέτρου c . Χρησιμοποιούμε δύο συστήματα: (a) Ένα σύστημα με δύο επεξεργαστές τεσσάρων πυρήνων (8 πυρήνες συνολικά) και (b) Ένα σύστημα με τέσσερις επεξεργαστές έξι πυρήνων (24 πυρήνες συνολικά).

νουν τα δεδομένα σε μόνιμα μέσα αποθήκευσης. Αντίθετα, στην παρούσα εργασία εξερευνάται η χρήση της συμπίεσης ως μέσο βελτιστοποίησης πολυνηματικών εφαρμογών. Αν θεωρήσουμε ότι χρησιμοποιούμε μία τεχνική συμπίεσης η οποία μειώνει τον όγκο των δεδομένων κατά a , αλλά αυξάνει το υπολογιστικό κόστος κατά b , τότε, σύμφωνα με την Εξίσωση 1, ο χρόνος εκτέλεσης του προγράμματος γίνεται:

$$t' = \left(\frac{b \cdot r_c}{n} + \frac{bw_n}{a} \right) \cdot d, \quad a, b \geq 1 \quad (2)$$

Στη συνέχεια, με βάση την παραπάνω εξίσωση, αναφέρουμε απαραίτητες προϋποθέσεις που θα πρέπει να πληρούνται ώστε η εφαρμογή μίας τεχνικής συμπίεσης να έχει θετική επίδραση στην επίδοση μίας πολυνηματικής εφαρμογής.

- (α) *Στενωπός του προγράμματος θα πρέπει να είναι ο ρυθμός μεταφοράς δεδομένων από την κύρια μνήμη.* Αρχικά, η επίδοση της εφαρμογής θα πρέπει να περιορίζεται πρωτίστως από την αδυναμία του συστήματος να παρέχει υψηλό ρυθμό μεταφοράς δεδομένων από την κύρια μνήμη. Αν η στενωπός (bottleneck) μίας εφαρμογής είναι, για παράδειγμα, το κόστος υπολογισμών, τότε στον χρόνο εκτέλεσης υπερσχύει ο όρος r_c . Η συμπίεση, αυξάνοντας το r_c κατά b , οδηγεί σε επιδείνωση του προβλήματος και σε αύξηση του χρόνου εκτέλεσης.
- (β) *Συμπιεστά δεδομένα.* Μια σημαντική προϋπόθεση για την επιτυχία της συμπίεσης, είναι

η δυνατότητα της να μειώσει τον όγκο των δεδομένων. Για παράδειγμα, αν τα δεδομένα είναι τυχαία (αδύνατο να συμπιεστούν), τότε ο παράγοντας a θα έχει τιμή κοντά στο 1 με αποτέλεσμα η συμπίεση να οδηγήσει σε μείωση της επίδοσης της εφαρμογής. Αναμένουμε, ωστόσο, η συγκεκριμένη προϋπόθεση να μην αποτελέσει εμπόδιο για τις περισσότερες εφαρμογές, όπου τα δεδομένα εκφράζουν συγκεκριμένη σημασιολογία. Βέβαια, δεδομένου ότι η εφαρμογή μπορεί να χρησιμοποιείται σε διαφορετικές συνθήκες και με διαφορετικού τύπου δεδομένα, η εύρεση κατάλληλου σχήματος συμπίεσης δεν είναι πάντα εύκολη διαδικασία.

- (γ) *Υπερκέραση του κόστους αποσυμπίεσης.* Επιπρόσθετα, είναι απαραίτητο τα οφέλη της μείωσης του όγκου των δεδομένων να υπερκεράσουν το κόστος της αποσυμπίεσης. Η συγκεκριμένη προϋπόθεση αποτελεί μία σημαντική διαφορά σε σχέση με τα συνήθη σχήματα συμπίεσης δεδομένων.

Όσο αυξάνεται ο αριθμός των νημάτων, αν θεωρήσουμε ότι το κόστος της αποσυμπίεσης είναι επεκτάσιμο, η προϋπόθεση αυτή τείνει να ικανοποιηθεί. Για παράδειγμα, αν θεωρήσουμε ότι $n \rightarrow \infty$, τότε ο χρόνος εκτέλεσης της Εξίσωσης 2 τείνει στην τιμή $(bw_n/a) \cdot d$. Ωστόσο, τα πραγματικά μηχανήματα δεν έχουν άπειρο αριθμό πυρήνων, και κατά συνέπεια το κόστος αποσυμπίεσης δεν μπορεί να αγνοηθεί σε πραγματικές εφαρμογές.

- (δ) *Υπερκέραση του κόστους συμπίεσης.* Πέρα από το κόστος αποσυμπίεσης, ωστόσο, θα πρέπει να λάβουμε υπόψη μας και το κόστος που προκύπτει από τη συμπίεση των δεδομένων. Το κόστος αυτό μπορεί να χαρακτηριστεί ως “κρυμμένο”, γιατί δεν περιλαμβάνεται στην έκφραση του χρονικού κόστους εκτέλεσης. Ο λόγος που δεν συμπεριλήφθηκε είναι διότι υποθέσαμε ότι μπορεί να πραγματοποιηθεί εκτός του κύριου μονοπατιού εκτέλεσης (offline). Για παράδειγμα, εφαρμογές συμβατές με αυτή την υπόθεση είναι αυτές που χρησιμοποιούν τα δεδομένα σε πολλαπλές επαναλήψεις. Αντίθετα, οι εφαρμογές που χρησιμοποιούν τα δεδομένα μόνο μία φορά είναι δύσκολο να επωφεληθούν από τη χρήση συμπίεσης.

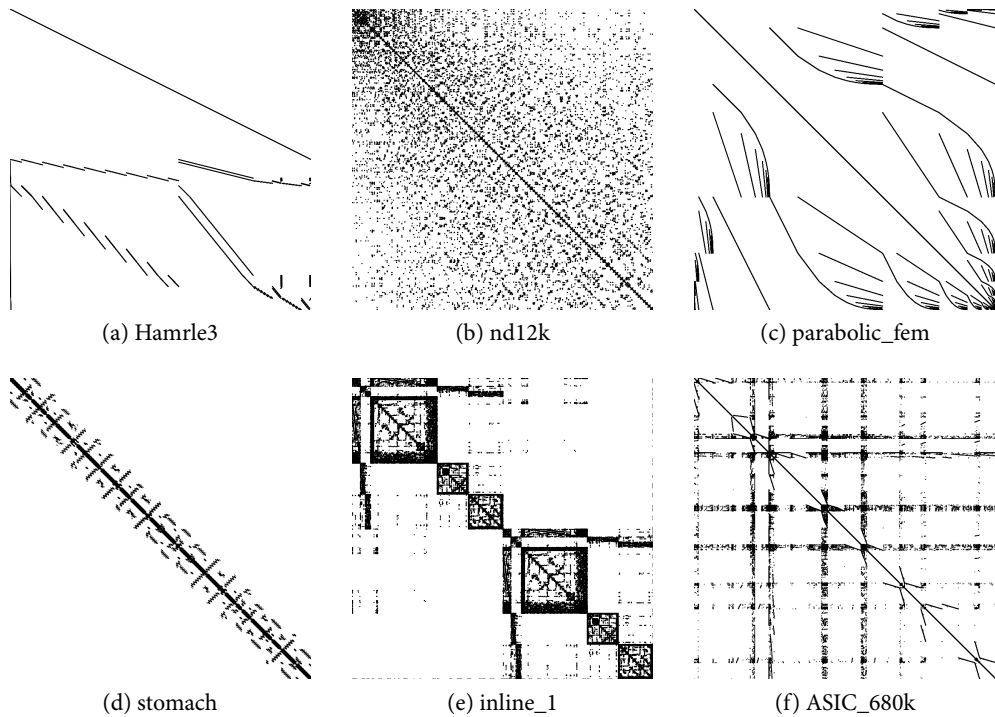
Αν και η παραπάνω προϋπόθεση φαίνεται να αποκλείει εφαρμογές χωρίς χρονική τοπικότητα αναφορών, κάτι τέτοιο δεν συμβαίνει στην πράξη. Δεδομένου ότι οι κρυφές μνήμες έχουν περιορισμένο μέγεθος, αν η εφαρμογή προσπελάζει μεγάλο όγκο δεδομένων, τότε η συμπεριφορά της ισοδυναμεί με απουσία χρονικής τοπικότητας αναφορών.

Στις προηγούμενες παραγράφους παρουσιάσαμε τη βασική ιδέα της παρούσας εργασίας — τη χρησιμοποίηση τεχνικών συμπίεσης για τη βελτίωση της επίδοσης εφαρμογών με έντονες προσβάσεις στη μνήμη, όταν αυτές εκτελούνται σε παράλληλα συστήματα μοιραζόμενης μνήμης. Στη συνέχεια επικεντρωθήκαμε στη εφαρμογή της ιδέας αυτής σε υπολογισμούς αραιών πινάκων και συγκεκριμένα στον υπολογιστικό πυρήνα SpMV.

0.3 Αραιοί πίνακες

Οι αραιοί πίνακες είναι πίνακες που περιέχουν μεγάλο αριθμό μηδενικών τιμών. Γενικά, ο χαρακτηρισμός ενός πίνακα ως αραιού δεν γίνεται με βάση κάποιο ποσοτικό κριτήριο. Αντίθετα,

έναν πίνακα χαρακτηρίζεται αραιός όταν υπάρχουν πλεονεκτήματα (π.χ. χώρος αποθήκευσης) από μία τέτοια, ειδική, αντιμετώπιση. Ένα ποσοτικό κριτήριο που προκύπτει, με βάση τα παραπάνω, είναι το εξής: ένας πίνακας $N \times M$ χαρακτηρίζεται ως αραιός εφόσον ο αριθμός των μη-μηδενικών του στοιχείων είναι τάξεις μεγέθους μικρότερος από $N \cdot M$. Παραδείγματα αραιών πινάκων πραγματικών εφαρμογών [Dav97] παρουσιάζονται στο Σχήμα 4.



Σχήμα 4: Παραδείγματα αραιών πινάκων από πραγματικές εφαρμογές.

Οι αραιοί πίνακες συναντούνται σε πληθώρα επιστημονικών πεδίων και προκύπτουν κυρίως κατά τη μελέτη χαλαρά συνδεδεμένων συστημάτων (loosely coupled systems). Για παράδειγμα, ο συνηθής τρόπος για την επίλυση ΜΔΕ είναι η διακριτοποίηση του προβλήματος χρησιμοποιώντας τεχνικές όπως η μέθοδος πεπερασμένων στοιχείων (Finite Element Method — FEM) [Saa03], η οποία συνήθως οδηγεί σε μεγάλους αραιούς πίνακες.

Επιπρόσθετα, οι αραιοί πίνακες μπορούν να χρησιμοποιηθούν για την αναπαράσταση μεγάλων γράφων χρησιμοποιώντας λίστες γειτόνων (adjacency lists). Ένα παράδειγμα ενός τέτοιου γράφου είναι ο Παγκόσμιος Ιστός (World Wide Web — WWW) [KKR⁺99], όπου μία κατευθυνόμενη ακμή από τον κόμβο A στον κόμβο B ($A \rightarrow B$) αναπαριστά την παρουσία ενός συνδέσμου (URL link) από τη σελίδα A στη σελίδα B . Σε γενικές γραμμές, τα επιστημονικά πεδία των αραιών πινάκων και της θεωρίας γράφων είναι στενά συνδεδεμένα: αλγόριθμοι γράφων χρησιμοποιούνται σε προβλήματα αραιών πινάκων (π.χ. για διαμερισμό δεδομένων [HK99, VB05]), ενώ αλγόριθμοι γράφων μπορούν να εκφραστούν ως υπολογισμοί σε αραιούς πίνακες [KCA09].

0.3.1 Πολλαπλασιασμός αραιού πίνακα με διάνυσμα

Μια σημαντική, αλλά και συχνά χρησιμοποιούμενη, πράξη για αραιούς πίνακες είναι ο πολλαπλασιασμός ενός αραιού πίνακα με ένα διάνυσμα (SpMxV). Σε αυτή την πράξη ένας $N \times M$ αραιός πίνακας πολλαπλασιάζεται με ένα πυκνό (dense) διάνυσμα (μεγέθους M) και το αποτέλεσμα που προκύπτει είναι ένα νέο πυκνό διάνυσμα (μεγέθους N): $y = A \cdot x$. Θα αναφερόμαστε στο διάνυσμα y ως *διάνυσμα εξόδου* και στο x ως *διάνυσμα εισόδου*. Μια γενική έκφραση για τα στοιχεία του y είναι:

$$y_i = \sum_{j=1}^M A_{ij} \cdot x_j \quad 1 \leq i \leq N$$

Είναι έκδηλο ότι τα μηδενικά στοιχεία δεν συνεισφέρουν στο αποτέλεσμα και, συνεπώς, μπορούν να παραληφθούν.

Η πράξη SpMxV χρησιμοποιείται σε πληθώρα επιστημονικών εφαρμογών. Για παράδειγμα, είναι η βασική πράξη μεθόδων για επαναληπτική επίλυση συστημάτων, όπως η Conjugate Gradient (CG) και η Generalized Minimum Residual (GMRES). Οι μέθοδοι αυτές χρησιμοποιούνται συχνά στην επίλυση αραιών γραμμικών συστημάτων που προκύπτουν από ΜΔΕ που περιγράφουν φυσικές διεργασίες [Saa03]. Επιπρόσθετα, ένας σημαντικός αριθμός επαναληπτικών αλγορίθμων σε γράφους μπορούν να εκφραστούν χρησιμοποιώντας την πράξη SpMxV, στην οποία ξοδεύεται και ο μεγαλύτερος χρόνος της κάθε επανάληψης [KCA09]. Ένα παράδειγμα ενός τέτοιου αλγορίθμου είναι ο αλγόριθμος PageRank [BP98], ο οποίος χρησιμοποιείται για ανάλυση συνδέσμων στον Παγκόσμιο Ιστό. Τέλος, η πράξη SpMxV εμπεριέχεται σε μία οικογένεια επιστημονικών εφαρμογών, που ονομάζονται “επτά νάνοι”, και θεωρούνται ότι θα παραμείνουν σημαντικές μέχρι, τουλάχιστον, και την επόμενη δεκαετία [ABC⁺06].

0.4 Σχήματα αποθήκευσης αραιών πινάκων

Τα σχήματα αποθήκευσης αραιών πινάκων είναι δομές δεδομένων που επιτρέπουν την αποδοτική αποθήκευση και χρησιμοποίηση των αραιών πινάκων. Γενικά, τα σχήματα αυτά αποθηκεύουν μόνο τα μη-μηδενικά αριθμητικά στοιχεία του πίνακα. Η τακτική αυτή οδηγεί σε περιορισμό του απαιτούμενου χώρου αποθήκευσης, αλλά και σε πιο αποδοτικές πράξεις. Ωστόσο, είναι απαραίτητο να αποθηκεύεται επιπλέον πληροφορία σχετική με τη θέση των μη-μηδενικών στοιχείων. Άρα διαχωρίζουμε τα δεδομένα των αραιών πινάκων σε δύο κατηγορίες: *δεδομένα δομής*: δεδομένα που αναπαριστούν τη δομή του πίνακα και *δεδομένα τιμών*: δεδομένα που αναπαριστούν τις (μη-μηδενικές) αριθμητικές τιμές του πίνακα. Στη συνέχεια παρουσιάζουμε ορισμένα από τα πιο δημοφιλή σχήματα αποθήκευσης αραιών πινάκων.

0.4.1 COO

Το σχήμα αποθήκευσης COO (coordinate format) είναι ένα απλό σχήμα, το οποίο αποθηκεύει τις τιμές των μη-μηδενικών στοιχείων μαζί με τις συντεταγμένες τους. Συγκεκριμένα, για τα δεδομένα δομής χρησιμοποιούνται δύο πίνακες: ένας για την αποθήκευση της γραμμής (`row_ind`)

και ένας για την αποθήκευση της στήλης (`col_ind`) του κάθε μη-μηδενικού στοιχείου. Οι τιμές των στοιχείων αποθηκεύονται σε τρίτο πίνακα (`val`). Άρα, το i -οστό μη-μηδενικό στοιχείο έχει τιμή `val[i]`, και οι συντεταγμένες του είναι `(row_ind[i],col_ind[i])`. Ένα παράδειγμα του COO παρουσιάζεται στο Σχήμα 5.

$$A = \begin{pmatrix} 5.4 & 1.1 & 0 & 0 & 0 & 0 \\ 0 & 6.3 & 0 & 7.7 & 0 & 8.8 \\ 0 & 0 & 1.1 & 0 & 0 & 0 \\ 0 & 0 & 2.9 & 0 & 3.7 & 2.9 \\ 9.0 & 0 & 0 & 1.1 & 4.5 & 0 \\ 1.1 & 0 & 2.9 & 3.7 & 0 & 1.1 \end{pmatrix}$$

```
row_ind: ( 0 0 1 1 1 2 3 3 3 4 4 4 5 5 5 5 )
col_ind: ( 0 1 1 3 5 2 2 4 5 0 3 4 0 2 3 5 )
values : ( 5.4 1.1 6.3 7.7 8.8 1.1 2.9 3.7 2.9 9.0 1.1 4.5 1.1 2.9 3.7 1.1 )
```

Σχήμα 5: Παράδειγμα σχήματος αποθήκευσης αραιών πινάκων COO.

0.4.2 CSR

Ένα από τα πιο δημοφιλή σχήματα αποθήκευσης αραιών πινάκων είναι το CSR (Compressed Sparse Row) [BBC⁺94, Saa03]. Το CSR αποθηκεύει τον αραιό πίνακα χρησιμοποιώντας τρεις πίνακες: (α) τον πίνακα `values`, στον οποίο αποθηκεύονται οι μη-μηδενικές τιμές (β) τον πίνακα `row_ptr`, στον οποίο αποθηκεύεται η θέση του πρώτου (μη-μηδενικού) στοιχείου κάθε γραμμής και (γ) τον πίνακα `col_ind`, στον οποίο αποθηκεύεται η στήλη για κάθε μη-μηδενικό στοιχείο. Ένα παράδειγμα του σχήματος αποθήκευσης CSR για έναν 6×6 πίνακα παρουσιάζεται στο Σχήμα 6.

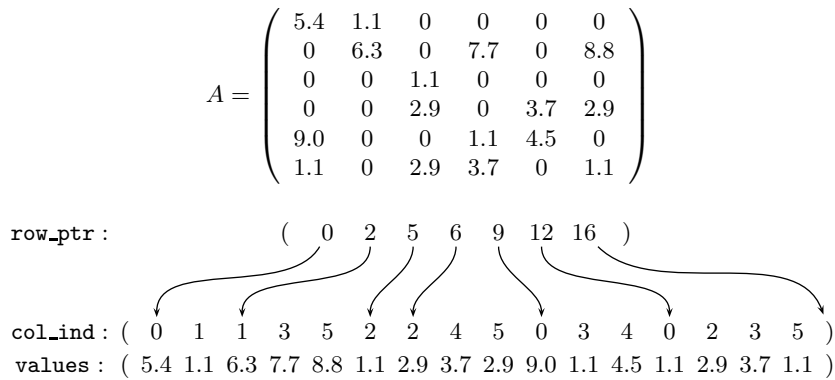
Οι πίνακες `values` και `col_ind` έχουν μέγεθος ίσο με τον αριθμό των μη-μηδενικών στοιχείων (`nnz`), ενώ ο πίνακας `row_ptr` έχει μέγεθος ίσο με τον αριθμό των γραμμών (`nrows`) συν ένα. Το σχήμα CSR είναι μία καλή (πρώτη) επιλογή για την πράξη `SrMxV` [Vud03]. Η υλοποίηση του υπολογιστικού πυρήνα `SrMxV` για το σχήμα CSR παρουσιάζεται στον Κώδικα 1. Ο εξωτερικός βρόχος διατρέχει όλες τις γραμμές χρησιμοποιώντας τον πίνακα `row_ptr`, ενώ ο εσωτερικός βρόχος υπολογίζει ένα μοναδικό στοιχείο του διανύσματος εξόδου.

```
for (i=0; i<nrows; i++)
    for (j=row_ptr[i]; j<row_ptr[i+1]; j++)
        y[i] += values[j]*x[col_ind[j]];

```

Listing 1: Υλοποίηση της πράξης `SrMxV` για το σχήμα CSR.

Αντίστοιχα με το CSR σχήμα, υπάρχει και το CSC (compressed column storage), το οποίο αποθηκεύει στήλες αντί για γραμμές.



Σχήμα 6: Παράδειγμα του σχήματος CSR.

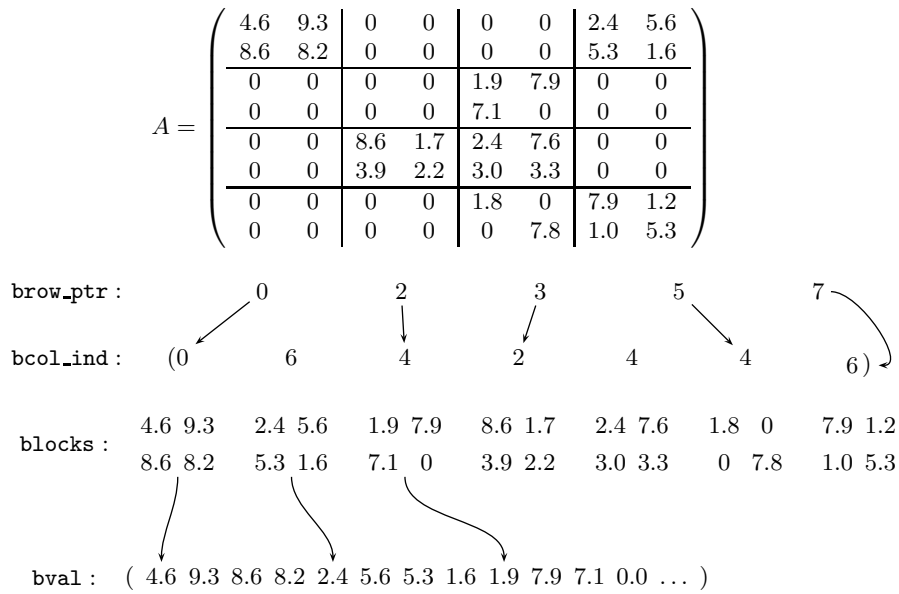
0.4.3 Το σχήμα BCSR

Τα τελευταία χρόνια έχουν αναπτυχθεί αρκετά σχήματα αποθήκευσης που στοχεύουν στη βελτίωση της επίδοσης του υπολογιστικού πυρήνα SpMxV. Ένα από τα πιο πετυχημένα σε αυτό το εγχείρημα είναι το σχήμα BCSR (Block Compressed storage row) [IY01]. Το BCSR είναι μία γενίκευση του CSR, στην οποία χρησιμοποιούνται διδιάστατα μπλοκ μεγέθους $r \times c$, αντί για στοιχεία. Όπως το CSR δεν αποθηκεύει μηδενικά στοιχεία, έτσι και το BCSR δεν αποθηκεύει μηδενικά μπλοκ — μπλοκ που περιέχουν μόνο μηδενικά στοιχεία. Συνεπώς, αντί να αποθηκεύεται η στήλη του κάθε μη-μηδενικού στοιχείου, στο BCSR αποθηκεύεται η στήλη του κάθε μπλοκ. Παρομοίως, στο σχήμα BCSR αποθηκεύεται πληροφορία για γραμμές μπλοκ, αντί για γραμμές στοιχείων. Προφανώς, η περίπτωση $r = c = 1$ είναι ισοδύναμη με το CSR.

Ομοίως με το CSR, το BCSR χρησιμοποιεί τρεις πίνακες για την αποθήκευση των δεδομένων του αραιού πίνακα: (α) τον πίνακα `bval`, όπου αποθηκεύονται οι μη-μηδενικές τιμές για όλα τα μπλοκ, (β) τον πίνακα `bcol_ind`, στον οποίο αποθηκεύονται οι στήλες των μπλοκ και (γ) τον πίνακα `brow_ptr`, όπου αποθηκεύεται το αρχικό στοιχείο για κάθε γραμμή μπλοκ. Συνεπώς, αν θεωρήσουμε ότι ένας αραιός πίνακας αποτελείται από $nblocks$ μπλοκ, τότε το μέγεθος του πίνακα `bval` είναι $r \cdot c \cdot nblocks$, το μέγεθος του πίνακα `brow_ptr` είναι ο αριθμός των γραμμών μπλοκ ($nblocks$) συν ένα: $\lceil \frac{nblocks}{r} \rceil + 1$, και το μέγεθος του πίνακα `bcol_ind` είναι $nblocks$.

Ένα παράδειγμα του σχήματος αποθήκευσης BCSR παρουσιάζεται στο Σχήμα 7, όπου ένας πίνακας 8×8 έχει διαιρεθεί σε μπλοκ μεγέθους 2×2 . Όπως φαίνεται στο σχήμα, είναι πιθανό ο πίνακας `bval` να περιέχει μηδενικά. Η πρακτική αυτή ονομάζεται `padding` και, ανάλογα με το σχήμα του μπλοκ ($r \times c$) και τη δομή του πίνακα, μπορεί να οδηγήσει σε μειωμένη επίδοση.

Μια απλή υλοποίηση του υπολογιστικού πυρήνα SpMxV για το σχήμα αποθήκευσης BCSR παρουσιάζεται στον Κώδικα 2. Στον εξωτερικό βρόχο διατρέχονται οι γραμμές μπλοκ, ενώ ο επόμενος βρόχος διατρέχει τα μπλοκ της γραμμής. Οι δύο εσωτερικοί βρόχοι αναλαμβάνουν τον πολλαπλασιασμό για κάθε $r \times c$ μπλοκ. Αυτή η έκδοση του πυρήνα λειτουργεί για κάθε πιθανό σχήμα μπλοκ. Ωστόσο, η δημιουργία πυρήνων SpMxV που αντιστοιχούν σε συγκεκριμένο σχήμα επιτρέπει βελτιστοποιήσεις στον κώδικα, όπως καλύτερη αξιοποίηση των καταχωρητών (`register blocking`), και χρήση διανυσματικών πράξεων (`vectorization`). Οι πρακτικές αυτές μπορούν να



Σχήμα 7: Παράδειγμα του σχήματος BCSR.

συνεισφέρουν σημαντικά στη βελτίωση της επίδοσης του υπολογιστικού πυρήνα SpMxV. Ο Κώδικας 3 τον SpMxV κώδικα για μπλοκ με σχήμα 2×3 .

```

for (i=0; i < nbrows; i++)
  for (j=brow_ptr[i]; j < brow_ptr[i+1]; j++)
    for (ir=0; ir < r; ir++) // rxc block multiplication
      for (ic=0; ic < c; ic++){
        y_idx = (i*nbrows) + ir;
        v_idx = (j*r*c) + (ir*c) + ic;
        x_idx = bcol_ind[j] + ic;
        y[y_idx] += bval[v_idx]*x[x_idx];
      }
  
```

Listing 2: Υλοποίηση της πράξης SpMxV για το σχήμα BCSR.

Η επιλογή του κατάλληλου σχήματος μπλοκ για έναν αραιό πίνακα είναι ένα ιδιαίτερα σημαντικό ζήτημα για το σχήμα αποθήκευσης BCSR. Το θέμα αυτό έχει μελετηθεί εκτενώς στη σχετική βιβλιογραφία [Vud03, BELF07, KGK09a, KGK09b]. Σημειώνουμε ότι το βέλτιστο σχήμα μπλοκ, σε ό,τι αφορά την επίδοση του SpMxV, δεν εξαρτάται μόνο από τα χαρακτηριστικά του υποκείμενου επεξεργαστή (π.χ. μέγεθος διανυσμάτων, αριθμός καταχωρητών), αλλά και από τη δομή του πίνακα.

```

for (i=0; i < nbrows; i++){
    y0 = y1 = 0.0;
    for (j=brow_ptr[i]; j < brow_ptr[i+1]; j++){
        x_start = bcol_ind[j];
        v_start = j*2*3;

        x0 = x[x_start];
        x1 = x[x_start +1];
        x2 = x[x_start +2];

        y0 += bval[v_start] * x0;
        y0 += bval[v_start +1] * x1;
        y0 += bval[v_start +2] * x2;

        y1 += bval[v_start +3] * x0;
        y1 += bval[v_start +4] * x1;
        y1 += bval[v_start +5] * x2;
    }
    y_start = i*2;
    y[y_start] = y0;
    y[y_start +1] = y1;
}

```

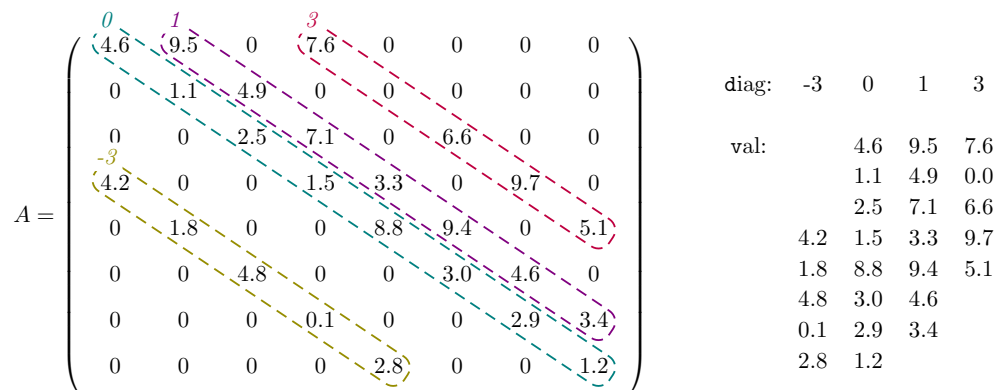
Listing 3: Υλοποίηση της πράξης SpMxV για το σχήμα BCSR με μπλοκ μεγέθους 2×3 .

0.4.4 Το σχήμα DIAG

Διαγώνιες δομές προκύπτουν συχνά στους αραιούς πίνακες και, κατά συνέπεια, υπάρχουν διάφορα σχήματα αποθήκευσης που στοχεύουν στην εκμετάλλευσή τους, ώστε να πετύχουν καλύτερη επίδοση στον υπολογιστικό πυρήνα SpMxV . Ένα από τα πιο γνωστά είναι το σχήμα DIAG, το οποίο είναι σχεδιασμένο για πίνακες που περιέχουν πλήρεις (ή περίπου πλήρεις) διαγωνίους. Οι διαγώνιες που έχουν αποκλειστικά μηδενικά στοιχεία δεν λαμβάνονται υπόψη, ενώ οι υπόλοιπες αποθηκεύονται σε πλήρη μορφή. Η πρακτική αυτή εξαλείφει την ανάγκη για διατήρηση πληροφορίας δομής για κάθε στοιχείο ξεχωριστά.

Θεωρούμε μία απαρίθμηση των διαγωνίων του πίνακα: Η κύρια διαγώνιος έχει τον αριθμό 0, διαγώνιες στο άνω τρίγωνο έχουν θετικές τιμές, ενώ διαγώνιες στο κάτω τρίγωνο έχουν αρνητικές τιμές (Σχήμα 8). Το σχήμα αποθήκευσης DIAG διατηρεί δύο πίνακες: έναν πίνακα $s \times 1$ (*diag*) και έναν πίνακα $s \times N$ (*va1*), όπου s είναι ο αριθμός των αποθηκευμένων διαγωνίων και N είναι ο αριθμός των γραμμών του πίνακα. Για κάθε διαγώνιο i του πίνακα, ο αριθμός της είναι αποθηκευμένος στη θέση *diag*[i], ενώ τα στοιχεία της είναι αποθηκευμένα στη στήλη i του πίνακα *va1*. Οι τιμές των στοιχείων αποθηκεύονται στον πίνακα *va1*, με τέτοιο τρόπο ώστε να βρίσκονται στην ίδια γραμμή με τον αρχικό πίνακα. Συγκεκριμένα, οι τιμές των άνω διαγωνίων

αποθηκεύονται στον πίνακα val έτσι ώστε το πρώτο στοιχείο να βρίσκεται στην πρώτη γραμμή (0), ενώ οι τιμές των κάτω διαγωνίων αποθηκεύονται έτσι ώστε το τελευταίο τους στοιχείο να βρίσκεται στην τελευταία γραμμή ($N - 1$). Μηδενικές τιμές προστίθενται κατάλληλα (padding). Μια υλοποίηση για την πράξη SpMxV παρουσιάζεται στον Κώδικα 4.



Σχήμα 8: Παράδειγμα του σχήματος DIAG.

```

for (j=0; j < s; j++){
    d = diag[j];
    for (i=max(0,-d); i < N - max(0,d); i++)
        y[i] += val[i][j] * x[d + i];
}

```

Listing 4: Υλοποίηση της πράξης SpMxV για το σχήμα DIAG.

0.5 Πολλαπλασιασμός αραιού πίνακα με διάνυσμα

0.5.1 Αλγόριθμος και υλοποίηση

Όπως αναφέρθηκε, θεωρώντας έναν μη-αραιό πίνακα της μορφής $N \times N$, η πράξη του πολλαπλασιασμού πίνακα με διάνυσμα μπορεί να εκφραστεί ως:

$$y_i = \sum_{j=1}^N A_{ij} \cdot x_j$$

Σύμφωνα με την παραπάνω έκφραση, ο υπολογισμός κάθε στοιχείου του διανύσματος εξόδου y απαιτεί N προσθέσεις και N πολλαπλασιασμούς. Άρα, απαιτούνται $\mathcal{O}(N^2)$ πράξεις σε $\mathcal{O}(N^2)$ όγκο δεδομένων. Το χαρακτηριστικό αυτό διαφοροποιεί σημαντικά την επίδοση της συγκεκριμένης πράξης, σε σχέση με άλλους υπολογιστικούς πυρήνες, όπως ο πολλαπλασιασμός πινάκων, που πραγματοποιούν $\mathcal{O}(N^3)$ πράξεις σε $\mathcal{O}(N^2)$ όγκο δεδομένων. Αναμένουμε, συνε-

πώς, μία υλοποίηση της πράξης πολλαπλασιασμού πίνακα με διάνυσμα να έχει ιδιαίτερα έντονες προσβάσεις στη μνήμη και περιορισμένη τοπικότητα χρονικών αναφορών. Άλλωστε, το κάθε στοιχείο του πίνακα χρησιμοποιείται μόνο μια φορά.

Επιπλέον, αν η πράξη αυτή γίνει σε αραιό πίνακα οι αναφορές στη μνήμη αυξάνονται, διότι, γενικά, θα πρέπει να προσπελαστούν και τα δεδομένα δομής του πίνακα. Επίσης, στην πλειονότητα των περιπτώσεων, η πράξη $SrMxV$ οδηγεί και σε μη-κανονικές (irregular) προσβάσεις στο διάνυσμα x . Η σε βάθος ανάλυση της επίδοσης του πυρήνα $SrMxV$ προϋποθέτει τη θεώρηση ενός συγκεκριμένου σχήματος αποθήκευσης για τον αραιό πίνακα. Για αυτόν το σκοπό χρησιμοποιούμε το σχήμα CSR, το οποίο είναι γενικό, έχει καλή συμπεριφορά σε ό,τι αφορά την επίδοση του $SrMxV$, και χρησιμοποιείται συχνά.

0.5.2 Υλοποίηση του πυρήνα $SrMxV$ στο σχήμα CSR

Αρχικά, μελετούμε την υλοποίηση του $SrMxV$ στο σχήμα CSR. Επειδή στοχεύουμε στη μεγιστοποίηση της επίδοσης του πυρήνα, βελτιώνουμε τον κώδικα της υλοποίησης ώστε η εγγραφή στον διάνυσμα εξόδου y να πραγματοποιείται στο τέλος του εσωτερικού βρόχου. Η ευκαιρία για τη βελτίωση αυτή δεν γίνεται εύκολα αντιληπτή από τον μεταγλωττιστή, οπότε και χρησιμοποιούμε μία προσωρινή μεταβλητή για την αποθήκευση του ενδιάμεσου αποτελέσματος. Το αποτέλεσμα παρουσιάζεται στον Κώδικα 5 και, σύμφωνα με πειραματική αξιολόγηση που πραγματοποιήθηκε, οδηγεί σε σημαντική βελτίωση της επίδοσης.

```
for (i=0; i<N; i++){
    yr = 0.0;
    for (j=row_ptr[i]; j<row_ptr[i+1]; j++)
        yr += values[j]*x[col_ind[j]];
    y[i] = yr;
}
```

Listing 5: Βελτιωμένη έκδοση του πυρήνα $SrMxV$ για το σχήμα αποθήκευσης CSR.

Ο Πίνακας 1 παρουσιάζει αναλυτικά τις προσβάσεις που πραγματοποιεί ο πυρήνας $SrMxV$ για το σχήμα CSR. Τα N στοιχεία του πίνακα `row_ptr` προσπελάζονται σειριακά και μόνο μία φορά. Αντίστοιχα, τα `nnz` στοιχεία των πινάκων `values` και `col_ind`, επίσης προσπελάζονται σειριακά και μόνο μία φορά. Η πρόσβαση στο διάνυσμα εισόδου x είναι τυχαία, αλλά αύξουσα για κάθε γραμμή, ενώ είναι ο μοναδικός πίνακας, ο οποίος παρουσιάζει χρονική τοπικότητα αναφορών (δηλαδή μπορεί να υπάρξει πρόσβαση σε ένα στοιχείο του παραπάνω από μία φορές). Τέλος, το διάνυσμα εξόδου y είναι ο μόνος πίνακας, στον οποίο πραγματοποιούνται εγγραφές: τα στοιχεία του ανανεώνονται σειριακά και μόνο μία φορά. Η προηγούμενη ανάλυση καταδεικνύει ότι ο πυρήνας $SrMxV$ έχει ιδιαίτερα έντονες προσβάσεις στη μνήμη.

Θα αναφερόμαστε στο σύνολο των δεδομένων που προσπελάζονται κατά την διάρκεια της εκτέλεσης του $SrMxV$ ως το *σύνολο εργασίας* (working set) του πυρήνα. Γενικά, το σύνολο εργασίας αποτελείται από τον αραιό πίνακα και τα διανύσματα εισόδου και εξόδου. Για το σχήμα CSR, το μέγεθός του είναι:

	μέγεθος	πρόσβαση	τύπος	E/A
row_ptr	N	N	σειριακή	A
values	nnz	nnz	σειριακή	A
col_ind	nnz	nnz	σειριακή	A
x	N	nnz	τυχαία, \uparrow	A
y	N	N	σειριακή	E

Πίνακας 1: Ανάλυση των προσβάσεων μνήμης του πυρήνα SpMxV για έναν $N \times N$ πίνακα, αποθηκευμένο σε σχήμα CSR.

$$ws = \overbrace{(nnz \cdot (s_{idx} + s_{val}) + (nrows + 1) \cdot s_{idx})}^{\text{sparse matrix}} + \overbrace{(nrows + ncols) \cdot s_{val}}^{\text{vectors}}$$

Όπου οι όροι s_{idx} και s_{val} είναι το μέγεθος των δεικτών και των τιμών, αντίστοιχα. Η παραπάνω έκφραση μπορεί να προσεγγιστεί ως εξής:

$$ws = nnz \cdot (s_{idx} + s_{val})$$

Η προσέγγιση αυτή λαμβάνει υπόψη της μόνο τους πίνακες που έχουν μέγεθος nnz και είναι αξιόπιστη για την πλειοψηφία των πινάκων που προκύπτουν από πραγματικές εφαρμογές, στους οποίους ισχύει: $nnz \gg nrows, ncols$. Συνήθως, ένας ακέραιος μεγέθους τεσσάρων bytes χρησιμοποιείται για τους δείκτες, αφού τα διανύσματα εισόδου και εξόδου δεν ξεπερνούν τα 2^{32} στοιχεία. Αντίθετα, στις περισσότερες περιπτώσεις, ιδιαίτερα για επιστημονικές εφαρμογές, απαιτείται διπλή ακρίβεια (8 bytes) για τις αριθμητικές τιμές του αραιού πίνακα. Σε αυτή την περίπτωση ($s_{idx} = 4$ και $s_{val} = 8$) οι τιμές αποτελούν το μεγαλύτερο μέρος του συνόλου εργασίας κατά $\frac{2}{3}$. Αναμένουμε, συνεπώς, ότι η συμπίεση των αριθμητικών τιμών θα έχει μεγαλύτερη επίδραση στο συνολικό μέγεθος του πίνακα, σε σχέση με τη συμπίεση των δεδομένων δομής.

Ο παράγοντας $\frac{2}{3}$ είναι αποτέλεσμα περιορισμών που σχετίζονται με το μέγεθος της μνήμης (θεωρήσαμε ότι ο αραιός πίνακας βρίσκεται εξολοκλήρου στην κύρια μνήμη). Συγκεκριμένα, πίνακες με διαστάσεις μεγαλύτερες από 2^{32} , απαιτούν δείκτες με μεγαλύτερο μέγεθος από 32 bits. Για παράδειγμα, αν θεωρήσουμε έναν τετράγωνο πίνακα με $n = nrows = ncols = 2^{32}$ και $nnz = 100 \cdot n = 100 \cdot 2^{32}$, το μέγεθος του σε ένα σχήμα CSR θα είναι: $100 \cdot 2^{32} \cdot (4 + 8)$ bytes ≈ 4.7 TiB. Αν και μηχανήματα με τόση μνήμη δεν είναι διαδεδομένα, αυτό μπορεί να αλλάξει στο (άμεσο) μέλλον.

Χρησιμοποιώντας την προηγούμενη προσέγγιση για το μέγεθος του συνόλου εργασίας μπορούμε να εξάγουμε το λόγο των προσβάσεων στη μνήμη προς τις πράξεις κινητής υποδιαστολής, για τον πυρήνα SpMxV:

*Ο αριθμός 100 επιλέχτηκε επειδή είναι κοντά στη μέση τιμή του nnz/n για το σύνολο των πινάκων που χρησιμοποιούμε (Πίνακας 3)

$$\rho = \frac{ws}{FLOPs_{(total)}} = \frac{nnz \cdot (4 + 8)}{nnz \cdot 2} = 6 \text{ bytes}/FLOP$$

Άρα, ο πυρήνας SpMxV πραγματοποιεί μία πράξη κινητής υποδιαστολής ανά 6 bytes. Ο λόγος αυτός είναι ιδιαίτερα υψηλός και επιβεβαιώνει ότι ο πυρήνας χαρακτηρίζεται από έντονες προσβάσεις στη μνήμη. Για παράδειγμα, στο μετροπρόγραμμα memcomp, η μία πράξη ανά 6 bytes αντιστοιχεί στην τιμή $c = 3/4$.

Σαν ένα επιπλέον παράδειγμα, θεωρούμε έναν επεξεργαστή με συχνότητα $f = 2$ GHz, ο οποίος μπορεί να εκτελέσει μία ($\alpha = 1$) πράξη κινητής υποδιαστολής ανά κύκλο. Σε αυτή την περίπτωση, ο απαιτούμενος ρυθμός μεταφοράς δεδομένων είναι:

$$f \cdot \alpha \cdot \rho = 6 \cdot 2 \cdot 10^9 = 12 \approx 11.2 \text{ GiB}/\text{sec}$$

Αν και αυτός ο ρυθμός είναι εφικτός σε σύγχρονα μηχανήματα, η χρήση παραπάνω πυρήνων οδηγεί σε πολλαπλασιασμό του απαιτούμενου ρυθμού με τον αριθμό των πυρήνων που χρησιμοποιούνται. Συνεπώς, σε αυτή την περίπτωση, το υποσύστημα μνήμης θα αδυνατεί να παρέχει τα απαραίτητα δεδομένα με τον απαιτούμενο ρυθμό και ο πυρήνας SpMxV θα έχει χαμηλή κλιμάκωση. Η επόμενη ενότητα παρουσιάζει θέματα που προκύπτουν κατά την παραλληλοποίηση του πυρήνα SpMxV.

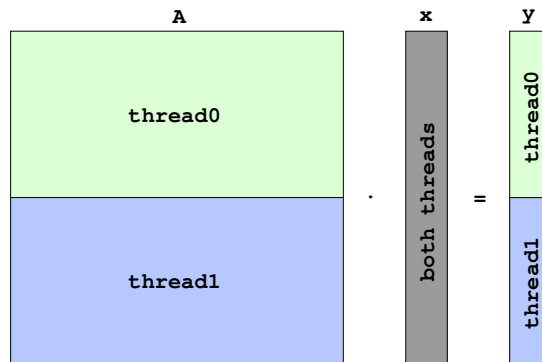
0.5.3 Παραλληλοποίηση του πυρήνα SpMxV σε πολυνηματικό περιβάλλον

Η παραλληλοποίηση του SpMxV είναι μία, σχετικά, εύκολη διαδικασία. Ωστόσο, υπάρχουν δύο σημαντικά θέματα, τα οποία πρέπει να ληφθούν υπόψη: Ο διαμερισμός των δεδομένων (data partitioning) και η ισοκατανομή του φόρτου εργασίας (load balancing).

Διαμερισμός δεδομένων

Αν και υπάρχουν πολλά διαφορετικά σχήματα διαμερισμού δεδομένων για την παραλληλοποίηση του πυρήνα SpMxV, στην περίπτωση του CSR συνήθως χρησιμοποιείται ο (coarse grained) διαμερισμός ανά γραμμές χοντρού κόκκου [WOV⁺07]. Σε αυτόν το διαμερισμό, ο κάθε επεξεργαστής αναλαμβάνει ένα μπλοκ γραμμών (Σχήμα 9). Το κάθε νήμα λειτουργεί σε ανεξάρτητα υποσύνολα των πινάκων row_ptr, col_ind, values, και y. Η μοναδική περίπτωση όπου διαφορετικά νήματα μοιράζονται δεδομένα είναι το διάνυσμα x, ωστόσο αυτό δεν οδηγεί σε πρόβλημα επίδοσης: η πρόσβαση στον πίνακα x είναι ανάγνωση σε κάθε περίπτωση, οπότε ο κάθε επεξεργαστής μπορεί να διατηρεί τα αντίστοιχα δεδομένα στην ιεραρχία κρυφής μνήμης χωρίς επιπλοκές.

Η συμπληρωματική προσέγγιση στο διαμερισμό ανά γραμμές είναι ο διαμερισμός ανά στήλες, όπου το κάθε νήμα αναλαμβάνει ένα μπλοκ από στήλες. Αν και ο διαμερισμός ανά στήλες ταιριάζει καλύτερα στο σχήμα αποθήκευσης CSC, μπορεί να χρησιμοποιηθεί και όταν ο αραιός πίνακας είναι αποθηκευμένος σε CSR. Ένα πλεονέκτημα αυτής της προσέγγισης είναι ότι το κάθε νήμα λειτουργεί σε διαφορετικό κομμάτι του x, γεγονός που βελτιώνει τη χωρική τοπικότητα αναφοράς όταν οι επεξεργαστές διαθέτουν ξεχωριστές κρυφές μνήμες. Ωστόσο, το βασικό μειονέκτημα



Σχήμα 9: Διαμερισμός γραμμών για τον πυρήνα SpMxV και δύο νήματα.

του διαμερισμού ανά στήλες, είναι ότι το κάθε νήμα πραγματοποιεί ενημερώσεις σε όλο το μήκος του διανύσματος εξόδου y , με συνέπεια να είναι πιθανό να υπάρξουν προβλήματα επίδοσης εξαιτίας του πρωτοκόλλου συνάφειας κρυφών μνημών. Τα προβλήματα αυτά μπορούν να αντιμετωπιστούν αν το κάθε νήμα διατηρεί το δικό του διάνυσμα εξόδου, και το τελικό αποτέλεσμα προκύπτει ως άθροισμα των επιμέρους διανυσμάτων. Βέβαια, όπως αναφέρεται στο [BFF⁺09], η πρόσθεση αυτή δεν είναι επεκτάσιμη, διότι απαιτείται ένα μερικό διάνυσμα ανά επεξεργαστή.

Τέλος, ο διαμερισμός ανά μπλοκ αποτελεί το συνδυασμό των δύο προηγούμενων τεχνικών, όπου κάθε νήμα αναλαμβάνει ένα μπλοκ δύο διαστάσεων. Το μεγαλύτερο πλεονέκτημα της προσέγγισης αυτής είναι ότι επιτρέπει ρυθμιζόμενα μεγέθη για τα δεδομένα του κάθε νήματος. Μια τέτοια τεχνική, συνεπώς, είναι απαραίτητη όταν ο διαθέσιμος χώρος μνήμης είναι περιορισμένος (π.χ. στον επεξεργαστή Cell [GHF⁺06]).

Στη συνέχεια αυτής της εργασίας χρησιμοποιούμε τη μέθοδο διαμερισμού ανά γραμμές. Υποστηρίζουμε ωστόσο, ότι οι πρακτικές που παρουσιάζουμε διατηρούν τα πλεονεκτήματά τους και για διαφορετικά σχήματα διαμερισμού.

Ισοκατανομή φόρτου εργασίας

Ένα σημαντικό ζήτημα που προκύπτει κατά την παραλληλοποίηση του πυρήνα SpMxV, είναι η ισοκατανομή του φόρτου εργασίας ανάμεσα στα νήματα. Μια πρώτη προσέγγιση, είναι το κάθε νήμα να αναλάβει τον ίδιο αριθμό γραμμών. Ωστόσο, η τακτική αυτή μπορεί να οδηγήσει σε ανισοβαρή κατανομή, αφού στη γενική περίπτωση τα στοιχεία του αραιού πίνακα δεν είναι κατανομημένα ομοιόμορφα στις γραμμές του.

Μια καλύτερη προσέγγιση είναι να κατανομηθούν οι γραμμές, ώστε τα νήματα να αναλάβουν (περίπου) τον ίδιο αριθμό μη-μηδενικών στοιχείων, και κατά συνέπεια τον ίδιο αριθμό πράξεων (Αλγόριθμος 0.1). Ένα παράδειγμα αυτής της πρακτικής παρουσιάζεται στο Σχήμα 10. Σε αυτό το παράδειγμα θεωρούμε δύο νήματα: το πρώτο αναλαμβάνει τις πρώτες 4 γραμμές που περιέχουν 9 στοιχεία, ενώ το δεύτερο αναλαμβάνει τις επόμενες 2 γραμμές που περιέχουν 7 στοιχεία.

Θα πρέπει να αναφερθεί ότι ακόμα και στην περίπτωση της κατανομής με βάση τα μη-μηδενικά στοιχεία, είναι πιθανό να υπάρξει ανισοκατανομή. Στα πλαίσια αυτής της εργασίας, ωστόσο,

χρησιμοποιήσαμε την ισοκατανομή με βάση τα μη-μηδενικά στοιχεία, η οποία παρέχει αποδεκτά αποτελέσματα στην πλειοψηφία των περιπτώσεων.

Algorithm 0.1: Ισοκατανομή γραμμών με βάση τα μη-μηδενικά στοιχεία.

Input : Ο αριθμός των μη-μηδενικών στοιχείων (nnz)
Input : Ο αριθμός των νημάτων ($nthreads$)
Input : Ο πίνακας row_ptr
Output: Ο πίνακας $partition$

```

tid ← 0 // αναγνωριστικό τρέχοντος νήματος
r ← 0 // αριθμός τρέχουσας γραμμής
partition[0] ← 0 // το πρώτο νήμα ξεκινάει από το 0
for tid ← 0 to nthreads do
    elems ← 0 // διαμερισμός στοιχείων
    limit ←  $\frac{nnz}{nthreads-tid}$  // όριο διαμέρισης
    while (elems < limit) do
        elems ← elems + row_ptr[r + 1] - row_ptr[r] // πρόσθεση στοιχείων σειράς
        r ← r + 1
    partition[tid + 1] ← r
    nnz ← nnz - elems

```

row_ptr : (0 2 5 6 9 12 16)

col_ind : (0 1 1 3 5 2 2 4 5 0 3 4 0 2 3 5)

values : (5.4 1.1 6.3 7.7 8.8 1.1 2.9 3.7 2.9 9.0 1.1 4.5 1.1 2.9 3.7 1.1)

y : (y₀ y₁ y₂ y₃ y₄ y₅)

Σχήμα 10: Παράδειγμα ισοκατανομής γραμμών με βάση τα μη-μηδενικά στοιχεία.

0.5.4 Επίδοση υπολογιστικού πυρήνα SpMxV

Οι επόμενες παράγραφοι εξετάζουν τα ζητήματα επίδοσης του υπολογιστικού πυρήνα SpMxV. Αρχικά, ξεκαθαρίζουμε ένα σημαντικό σημείο της μεθοδολογίας που ακολουθούμε. Για την καλύτερη προσομοίωση επιστημονικών εφαρμογών που χρησιμοποιούν τον SpMxV επαναληπτικά, η πειραματική μας αξιολόγηση βασίζεται σε μέτρηση της επίδοσης πολλαπλών εκτελέσεων του SpMxV. Η πρακτική αυτή, ωστόσο, εισάγει χρονική τοπικότητα αναφορών και για αυτόν το λόγο διακρίνουμε δύο κατηγορίες πινάκων: (α) πίνακες με μέγεθος συνόλου εργασίας μικρότερο της συνολικής κρυφής μνήμης του συστήματος, και (β) πίνακες με μέγεθος συνόλου εργασίας μεγαλύτερο της συνολικής κρυφής μνήμης του συστήματος. Στα πλαίσια της παρούσας εργασίας επικεντρωνόμαστε σε πίνακες που ανήκουν στη δεύτερη κατηγορία. Για τους πίνακες αυτούς, ο πυρήνας SpMxV συνεχίζει να παρουσιάζει έντονες προσβάσεις στη μνήμη, ακόμα και στην περίπτωση που εκτελείται επαναληπτικά.

Στο [GKA⁺08] αναλύουμε και αξιολογούμε τα παραπάνω ζητήματα σε σύγχρονους επεξεργαστές. Για λόγους συντομίας δεν αναπαράγουμε όλα τα αποτελέσματα εδώ. Αντί αυτού, παραθέτουμε το βασικό συμπέρασμα που σχετίζεται με την παρούσα εργασία. Συγκεκριμένα, με βάση τα αποτελέσματα της εργασίας, το μεγαλύτερο πρόβλημα στην επίδοση του πυρήνα SpMxV είναι οι μεγάλες απαιτήσεις σε ρυθμό μεταφοράς δεδομένων από την κύρια μνήμη. Συνεπώς, επακόλουθες προσπάθειες για βελτίωση της επίδοσης θα πρέπει να στρέφονται εκεί. Βασιζόμενοι σε αυτό το αποτέλεσμα, αναπτύξαμε τρία σχήματα συμπίεσης δεδομένων για αραιούς πίνακες, τα οποία στοχεύουν στη βελτίωση της επίδοσης του υπολογιστικού πυρήνα SpMxV. Πριν από την παρουσίασή τους, ωστόσο, παραθέτουμε πειραματικά αποτελέσματα για την επίδοση του SpMxV σε σύγχρονες πολυπύρηνες αρχιτεκτονικές χρησιμοποιώντας ένα πολυπληθές σύνολο πινάκων.

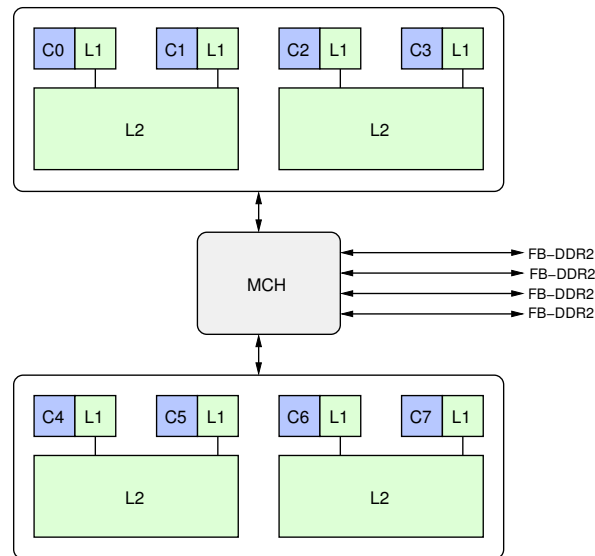
Ο σκοπός των πειραμάτων που εκτελούμε είναι διπλός: (α) παρέχουμε μία ποσοτική ανάλυση της επίδοσης του υπολογιστικού πυρήνα SpMxV σε πραγματικά συστήματα και (β) επιβεβαιώνουμε ότι η στενωπός της συγκεκριμένης εφαρμογής είναι ο ρυθμός δεδομένων από την κύρια μνήμη και απεικονίζουμε την περιορισμένη επεκτασιμότητά της όσο αυξάνει ο αριθμός των πυρήνων. Τα πειράματά μας πραγματοποιούνται σε δύο συστήματα, τα οποία αποτελούν τα δύο άκρα του φάσματος των σύγχρονων συστημάτων, όσον αφορά την επίδοση του υποσυστήματος μνήμης. Συγκεκριμένα, πειραματιζόμαστε σε ένα μηχάνημα SMP, και σε ένα σύστημα NUMA, που επικεντρώνεται στην υψηλή επίδοση των μεταφορών από και προς τη μνήμη. Τα αποτελέσματά μας καταδεικνύουν ότι και τα δύο συστήματα αδυνατούν να εξασφαλίσουν τον απαιτούμενο ρυθμό μεταφοράς, όταν χρησιμοποιούνται όλοι οι πυρήνες του συστήματος.

0.5.5 Πειραματική πλατφόρμα

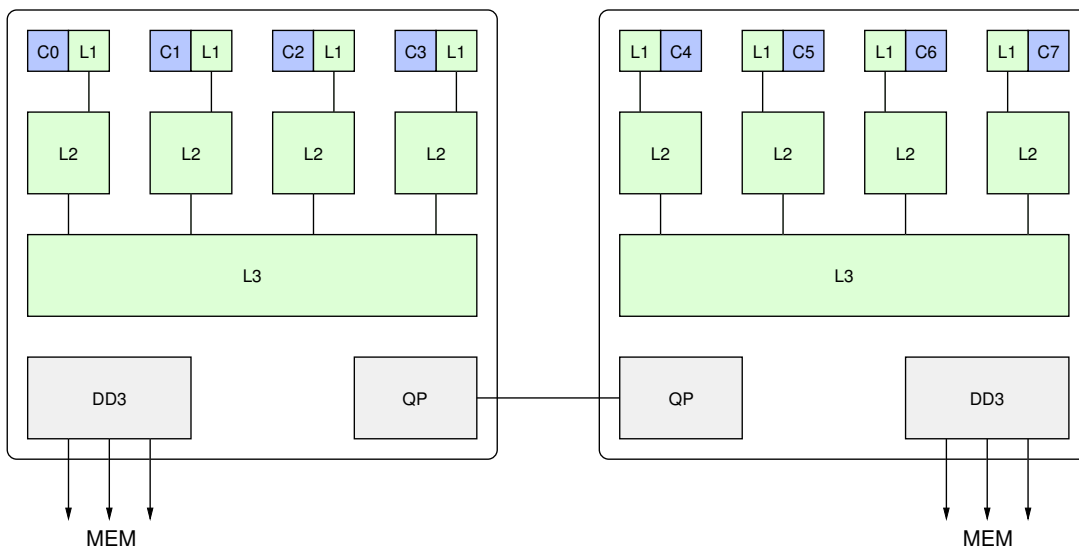
Υλικό

Πειραματιζόμαστε σε δύο συστήματα. Το πρώτο σύστημα περιέχει δύο επεξεργαστές τεσσάρων πυρήνων Intel Harpertown (Σχήμα 11). Ο κάθε πυρήνας λειτουργεί σε συχνότητα 2 GHz, περιέχει δύο ιδιωτικές κρυφές μνήμες L1 μεγέθους 32 KiB (εντολών και δεδομένων), ενώ οι πυρήνες ανά ζεύγη μοιράζονται μία ενοποιημένη κρυφή μνήμη L2 μεγέθους 6 MiB.

Σε αντίθεση με το σύστημα Harpertown, το οποίο χρησιμοποιεί ένα κοινό (για όλους τους πυρήνες) μονοπάτι για τη μνήμη, το δεύτερο σύστημα αποτελείται από δύο επεξεργαστές Intel Nehalem [BDH⁺08] που υλοποιούν την αρχιτεκτονική NUMA. Ο Κάθε επεξεργαστής έχει τέσσερις πυρήνες με συχνότητα 2.8 GHz· ο κάθε πυρήνας έχει ιδιωτικές κρυφές μνήμες L1 (32 KiB εντολών και δεδομένων) και L2 (256 KiB), ενώ πυρήνες που βρίσκονται στον ίδιο επεξεργαστή μοιράζονται μία κρυφή μνήμη L2 (8 MiB). Η επικοινωνία μεταξύ κόμβων NUMA και συσκευών E/E υλοποιείται με συνδέσεις σημείο-προς-σημείο (Σχήμα 12). Τέλος, ο επεξεργαστής Nehalem υλοποιεί την τεχνολογία SMT [TEL95], παρέχοντας δυο νήματα εκτέλεσης ανά πυρήνα.



Σχήμα 11: Σύστημα 8 πυρήνων που αποτελείται από δύο επεξεργαστές Harpertown.



Σχήμα 12: Σύστημα 8 πυρήνων που αποτελείται από δύο επεξεργαστές Nehalem.

Όπως φαίνεται στα Σχήματα 11 και 12, τα πραγματικά συστήματα συνήθως υλοποιούν μία ιεραρχική τοπολογία, όπου διαφορετικά σύνολα πυρήνων μοιράζονται διαφορετικά μέρη των κρυφών μνημών. Για να διακρίνουμε διαφορετικές περιπτώσεις απεικόνισης των νημάτων της εφαρμογής σε πυρήνες, δηλώνουμε ρητά τον αριθμό των νημάτων σε κάθε επίπεδο της ιεραρχίας. Τα επίπεδα αναπαριστώνται ως εξής:

- t : νήματα SMT στον ίδιο πυρήνα (Nehalem).
- $c0$: πυρήνες που μοιράζονται την L2 (Harpertown)
- $c1$: πυρήνες που δεν μοιράζονται την L2 (Harpertown)
- c : πυρήνες που μοιράζονται την L3 (Nehalem)
- d : διαφορετικοί επεξεργαστές (Harpertown και Nehalem)

Ο Πίνακας 2 αναφέρει σύντομα τα βασικά χαρακτηριστικά των δύο επεξεργαστών που χρησιμοποιήθηκαν.

Σύστημα	Harpertown	Nehalem
Μοντέλο	E5405	X5560
Συχνότητα (Ghz)	2.0	2.8
L1 (εντολές/δεδομένα)	32k/32k	32k/32k
L2	6M (1/2 πυρήνες)	256k (1/πυρήνα)
L3	-	8M (1/επεξεργαστή)
Πολυνηματικά επίπεδα	2c0 x 2c1 x 2d	2t x 4c x 2d

Πίνακας 2: Επισκόπηση των συστημάτων που χρησιμοποιήθηκαν στην πειραματική αξιολόγηση.

Λογισμικό

Για τη μεταγλώττιση των προγραμμάτων χρησιμοποιήσαμε την έκδοση 4.3.2 του gcc, ενώ οι μετρήσεις πραγματοποιήθηκαν σε έκδοση 64-bit του λειτουργικού συστήματος Linux (2.6.30). Η παραλληλοποίηση έγινε ρητά, χρησιμοποιώντας τη διεπαφή pthreads της βιβλιοθήκης GNU libc (NPTL 2.7). Επιπρόσθετα, περιορίσαμε τα νήματα εκτέλεσης σε συγκεκριμένους επεξεργαστές, χρησιμοποιώντας την κλήση συστήματος sched_setaffinity(), ενώ δεσμεύσαμε περιοχές μνήμης σε συγκεκριμένους κόμβους NUMA, χρησιμοποιώντας τη βιβλιοθήκη libnuma (2.0.2).

Το προκαθορισμένο μέγεθος για τους δείκτες και τις αριθμητικές τιμές των αραιών πινάκων είναι 32 και 64 bits, αντίστοιχα. Για να προσομοιώσουμε, όσο το δυνατόν καλύτερα, τις επιστημονικές εφαρμογές που χρησιμοποιούν τον πυρήνα SpMxV, εκτελούμε 128 συνεχόμενες επαναλήψεις και θέτουμε το διάνυσμα εξόδου (y) να είναι το διάνυσμα εισόδου (x) της επόμενης επανάληψης.

Σύνολο αραιών πινάκων

Όπως έχει αναφερθεί, στην εργασία αυτή επικεντρωθήκαμε σε πίνακες, για τους οποίους ο πυρήνας SpMxV εξακολουθεί να παρουσιάζει έντονες προσβάσεις στη μνήμη, ακόμα και όταν εκτελείται επαναληπτικά. Για τις πειραματικές μετρήσεις, συνεπώς, χρησιμοποιούμε πίνακες που έχουν σύνολο εργασίας για το CSR μεγαλύτερο από $4 \cdot 6 = 24$ MiB (το μέγεθος της μεγαλύτερης συνολικής κρυφής μνήμης των συστημάτων). Οι πίνακες που χρησιμοποιούμε είναι 50 και παρουσιάζονται στον Πίνακα 3.

όνομα	N /10 ³	nnz /10 ⁶	μέγεθος /1MiB	όνομα	N /10 ³	nnz /10 ⁶	μέγεθος /1MiB
boneS10	914.9	55.5	638.3	G3_circuit	1,585.5	7.7	93.7
ldoor	952.2	46.5	536.0	cage13	445.3	7.5	87.3
inline_1	503.7	36.8	423.3	rajat30	644.0	6.2	73.1
fdif202x202x102	4,000.0	27.8	333.9	pre2	659.0	6.0	70.7
F1	343.8	26.8	308.4	Hamrle3	1,447.4	5.5	68.6
rajat31	4,690.0	20.3	250.4	largebasis	440.0	5.6	65.3
msdoor	415.9	20.2	233.2	Chebyshev4	68.1	5.4	61.8
Freescall	3,428.8	18.9	229.6	apache2	715.2	4.8	57.9
Ga41As41H72	268.1	18.5	212.6	s3dkq4m2	90.4	4.8	55.5
af_shell9	504.9	17.6	203.2	ship_001	34.9	4.6	53.3
af_5_k101	503.6	17.6	202.8	torso3	259.2	4.4	51.7
TSOPF_RS_b2383	38.1	16.2	185.2	thread	29.7	4.5	51.3
kkt_power	2,063.5	14.6	175.1	ASIC_680k	682.9	3.9	46.9
Si41Ge41H72	185.6	15.0	172.5	large-dense	2.0	4.0	45.8
random100000	100.0	15.0	171.8	barrier2-9	115.6	3.9	45.0
nd12k	36.0	14.2	162.9	xenon2	157.5	3.9	44.9
crankseg_2	63.8	14.1	162.2	parabolic_fem	525.8	3.7	44.1
pwtk	217.9	11.6	134.0	FEM_3D_thermal2	147.9	3.5	40.5
bmw3_2	227.4	11.3	130.1	sme3Dc	42.9	3.1	36.2
ohne2	181.3	11.1	127.3	stomach	213.4	3.0	35.4
hood	220.5	10.8	124.1	thermomech_dK	204.3	2.8	33.4
Si87H76	240.4	10.7	122.9	helm2d03	392.3	2.7	32.9
bmwcra_1	148.8	10.6	122.4	ASIC_680ks	682.7	2.3	29.3
atmosmodj	1,270.4	8.8	105.7	poisson3Db	85.6	2.4	27.5
thermal2	1,228.0	8.6	102.9	rma10	46.8	2.4	27.3

Πίνακας 3: Σύνολο πινάκων που χρησιμοποιήθηκαν στην πειραματική αξιολόγηση. Οι στήλες περιέχουν τα χαρακτηριστικά των πινάκων: Η *N* περιέχει τον αριθμό των στηλών και των γραμμών του πίνακα σε χιλιάδες, Η *nnz* περιέχει τον αριθμό των μη-μηδενικών στοιχείων σε εκατομμύρια, και η *size* περιέχει το μέγεθος του πίνακα σε MiB όταν αποθηκεύεται με το σχήμα CSR.

Η πλειοψηφία των πινάκων αφορούν πραγματικά προβλήματα και έχουν επιλεγεί από το

[Dav97]. Το σύνολο περιλαμβάνει τον πίνακα `fdif202x202x102`, ο οποίος αναπαριστά ένα πρόβλημα πεπερασμένων διαφορών 5 σημείων για κανονικό χώρο μεγέθους $202 \times 202 \times 102$ και δημιουργήθηκε από το SPARSKIT [Saa94]. Επιπρόσθετα, χρησιμοποιούμε δύο συνθετικούς πίνακες: (α) έναν 2000×2000 πυκνό πίνακα (*large-dense*) και (β) έναν τυχαίο 100000×100000 αραιό πίνακα (*random100000*).

Επίδοση CSR

Το Σχήμα 13 παρουσιάζει τη μέση επιτάχυνση (*average speedup*) του CSR SpMxV, για διαφορετικές διατάξεις νημάτων στο σύστημα Harperton. Η επιτάχυνση για 8 νήματα είναι 1.9, γεγονός που καταδεικνύει την περιορισμένη επεκτασιμότητα του πυρήνα. Η αύξηση της επιτάχυνσης από την περίπτωση $2c0$ στην περίπτωση $2c1$ (1.17 και 1.23) οφείλεται στη αύξηση του μεγέθους της συνολικής κρυφής μνήμης. Οι περιπτώσεις $2c1$ και $2c0 \times 2c1$ επιτυγχάνουν περίπου την ίδια επίδοση, παρόλο που διπλασιάζονται οι διαθέσιμοι πυρήνες. Η συμπεριφορά αυτή αποδίδεται στην αδυναμία του συστήματος να παρέχει τον απαραίτητο ρυθμό μεταφοράς δεδομένων.

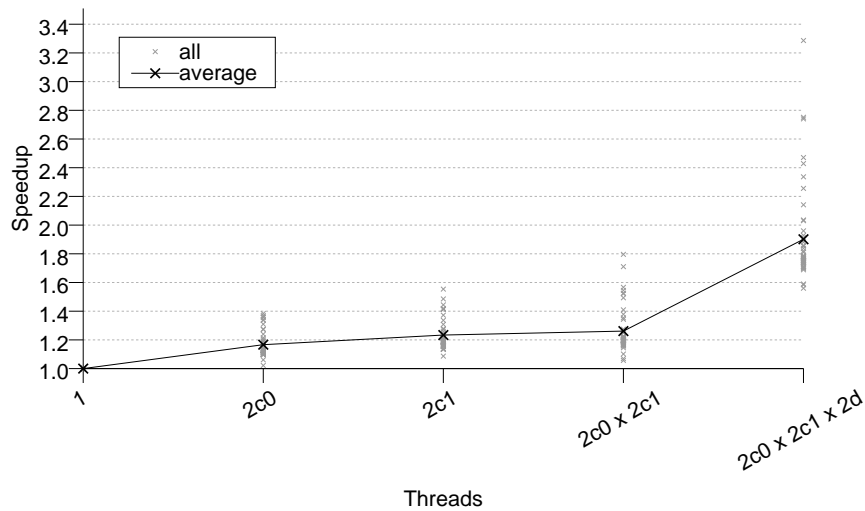
Οποιοδήποτε πολυνηματικό πρόγραμμα μπορεί να εκτελεσθεί σε μία αρχιτεκτονική NUMA, χωρίς αλλαγές. Ωστόσο, σε αυτή την περίπτωση δεν υπάρχει εγγύηση όσο αφορά τη βέλτιστη τοποθέτηση των δεδομένων στους κόμβους NUMA. Συνεπώς, στοχεύοντας στη μεγιστοποίηση της επίδοσης, αναπτύξαμε πυρήνες SpMxV, οι οποίοι αναλαμβάνουν να δεσμεύουν δεδομένα που προσπελάζονται από μόνο ένα νήμα στον αντίστοιχο κόμβο NUMA.

Στα αποτελέσματα για το σύστημα Nehalem παρουσιάζονται δύο εκδόσεις του πυρήνα CSR SpMxV: συνήθης δέσμευση μνήμης (*default allocation*) και δέσμευση μνήμης στον τοπικό κόμβο NUMA (*local allocation*). Το σύστημα Nehalem παρέχει υψηλούς ρυθμούς μεταφοράς δεδομένων από την κύρια μνήμη και βελτιώνει σημαντικά την επίδοση του πυρήνα, ακόμα και την περίπτωση όπου η μνήμη δεσμεύεται χωρίς να ληφθεί υπόψη η υποκείμενη NUMA αρχιτεκτονική. Η δέσμευση μνήμης στον τοπικό κόμβο περαιτέρω βελτιώνει την επίδοση, οδηγώντας σε επιτάχυνση 4.44 για την περίπτωση $4c \times 2d$. Ωστόσο, η χρησιμοποίηση των νημάτων SMT οδηγεί σε (μικρή) μείωση της επίδοσης (4.31).

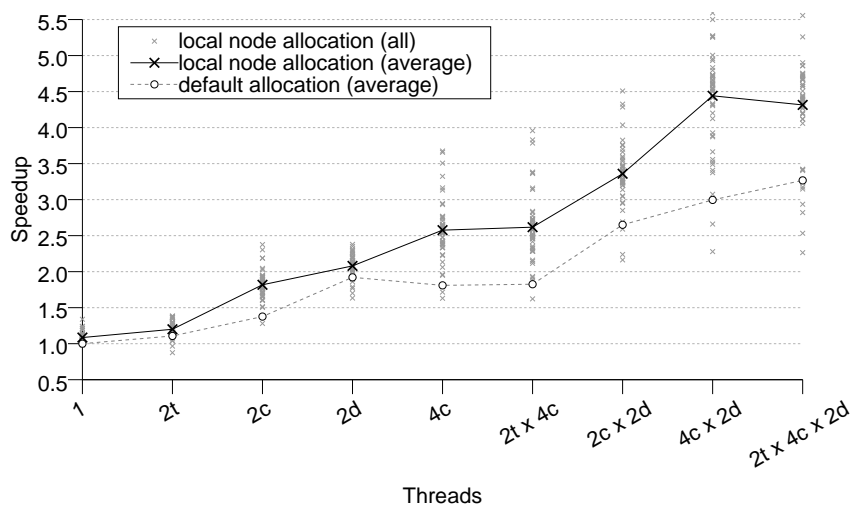
Αν και το υποσύστημα μνήμης του Nehalem βελτιώνει δραστικά την επίδοση του υπολογιστικού πυρήνα CSR SpMxV, δεν καταφέρνει να πετύχει τη θεωρητική επιτάχυνση, αφήνοντας χώρο για βελτίωση της επίδοσης χρησιμοποιώντας τεχνικές συμπίεσης δεδομένων. Στη συνέχεια της εργασίας θα ασχοληθούμε μόνο με εκδόσεις των μεθόδων SpMxV που δεσμεύουν μνήμη στον τοπικό κόμβο, όσον αφορά το σύστημα Nehalem.

Συμπεράσματα

Συμπερασματικά, υποστηρίζουμε ότι ο πυρήνας SpMxV είναι κατάλληλη εφαρμογή για τη χρήση τεχνικών συμπίεσης δεδομένων με στόχο τη βελτίωση της επίδοσης. Συγκεκριμένα, (α) η στενωπός της επίδοσης είναι ο περιορισμένος ρυθμός μεταφοράς δεδομένων, (β) τα δεδομένα των αραιών πινάκων, τουλάχιστον για πραγματικές εφαρμογές, περιέχουν ευκαιρίες για συμπίεση και (γ) το κόστος συμπίεσης μπορεί να υπερκεραστεί, αφού ο πυρήνας χρησιμοποιείται επαναληπτικά.



Σχήμα 13: Μέση παράλληλη επιτάχυνση του πυρήνα CSR SpMxV στο σύστημα Harpertown Τα γκρι σημεία δείχνουν την επιτάχυνση για κάθε πίνακα, ενώ τα μαύρα τη μέση επιτάχυνση για όλους τους πίνακες

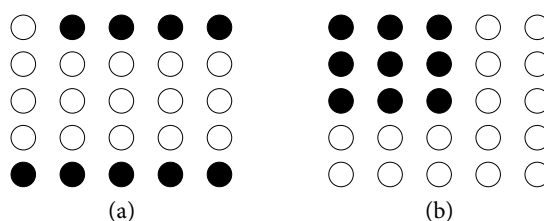


Σχήμα 14: Μέση παράλληλη επιτάχυνση του πυρήνα CSR SpMxV στο σύστημα Nehalem. Η γραμμή “local node allocation” αντιστοιχεί σε δέσμευση μνήμης στον τοπικό κόμβο NUMA. Η επιτάχυνση προκύπτει από τη σειριακή επίδοση όταν χρησιμοποιείται συνήθης δέσμευση μνήμης (default allocation). Τα γκρι σημεία δείχνουν την επιτάχυνση όλων των πινάκων για την περίπτωση δέσμευσης μνήμης στον τοπικό κόμβο.

0.6 Το σχήμα αποθήκευσης CSR-DU

0.6.1 Κίνητρο και προσέγγιση

Τα σχήματα αποθήκευσης αραιών πινάκων παραδοσιακά προσπαθούν να εκμεταλλευτούν συνεχόμενα στοιχεία, είτε σε μία διάσταση (Σχήμα 15a), είτε σε δύο (Σχήμα 15b). Παραδείγματα αποτελούν το BCSR και το σχήμα αποθήκευσης για μονοδιάστατα μπλοκ με μεταβλητό αριθμό στοιχείων που περιγράφεται στο [PH99]. Το αποτέλεσμα του σχήματος BCSR, σε ότι αφορά το μέγεθος του πίνακα συγκριτικά με το CSR, εξαρτάται από την καταλληλότητα του επιλεγμένου σχήματος μπλοκ για συγκεκριμένο πίνακα. Αν τα μπλοκ που προκύπτουν περιέχουν μικρό αριθμό μηδενικών, τότε τα ο όγκος των δεδομένων δομής θα μειωθεί σημαντικά. Για παράδειγμα, αν κανένα από τα μπλοκ που προκύπτουν δεν περιέχουν μηδενικά, ο όγκος των δεδομένων δομής θα μειωθεί κατά $r \cdot c$, όπου $r \times c$ το μέγεθος του μπλοκ. Αντίθετα, σε περίπτωση που τα μπλοκ περιέχουν μηδενικά στοιχεία, είναι απαραίτητο να προστεθούν κατάλληλες μηδενικές τιμές στα δεδομένα τιμών (padding). Αυτό, ανάλογα το μέγεθος του μπλοκ και τη δομή του πίνακα, μπορεί να οδηγήσει σε αύξηση του συνολικού όγκου δεδομένων.



Σχήμα 15: Κανονικότητες αραιών πινάκων. (a) συνεχόμενα στοιχεία (b) διδιάστατα μπλοκ.

Η προσέγγιση που ακολουθούμε βασίζεται στην υπόθεση ότι οι πίνακες έχουν πυκνές περιοχές — περιοχές, δηλαδή, με στοιχεία που βρίσκονται κοντά, χωρίς να είναι συνεχόμενα. Οι περιοχές αυτές μπορούν να συνεισφέρουν σημαντικά στη μείωση του όγκου των δεδομένων δομής, χρησιμοποιώντας κωδικοποίηση δέλτα (delta encoding) στις στήλες των στοιχείων (`col_ind`) [WL06]. Κατά την εφαρμογή της κωδικοποίησης δέλτα, οι δείκτες στηλών (`column indices`) αντικαθιστώνται με τη διαφορά του τρέχοντος δείκτη από τον προηγούμενο. Για τα στοιχεία μίας γραμμής, η διαφορά αυτή είναι θετική και μικρότερη ή ίση από την τιμή του δείκτη. Συνεπώς, οι τιμές δέλτα μπορούν να αποθηκευτούν σε μικρότερου μεγέθους ακέραιους, οδηγώντας σε μείωση του όγκου δεδομένων.

Μια αρχική μεθόδευση θα ήταν η κωδικοποίηση κάθε δείκτη στήλης ξεχωριστά. Ωστόσο η τακτική αυτή, γενικά, συνεπάγεται την εισαγωγή εντολών διακλάδωσης (`branches`) στο εσωτερικό βρόχο του πυρήνα `SrMxV`, αφού κάθε επανάληψη του βρόχου απαιτεί την αποκωδικοποίηση ενός δείκτη στήλης. Οι εντολές αυτές οδηγούν σε προβλήματα στην επίδοση του πυρήνα, αφού είναι δύσκολο να προβλεφθούν από τον επεξεργαστή. Η προσέγγιση που ακολουθούμε στοχεύει στην αντιμετώπιση του παραπάνω προβλήματος χωρίζοντας τον πίνακα σε περιοχές, οι οποίες ονομάζονται *units* και έχουν μεταβλητό αριθμό στοιχείων. Για κάθε μία από αυτές τις περιοχές, υπολογίζουμε τη μέγιστη τιμή δέλτα και επιλέγουμε το ελάχιστο μέγεθος ακεραίου που μπορεί

να αναπαραστήσει αυτή την τιμή για όλες τις τιμές δέλτα της περιοχής. Η τεχνική αυτή οδηγεί σε εσωτερικούς βρόχους χωρίς εντολές διακλάδωσης, θυσιάζοντας χώρο, αφού δεν χρησιμοποιείται ο ελάχιστος αριθμός bytes για κάθε τιμή δέλτα.

Ένας σημαντικός παράγοντας, όταν χρησιμοποιείται η τεχνική των περιοχών, είναι η επιλογή του μεγέθους της κάθε περιοχής. Μικρό μέγεθος οδηγεί σε μεγάλη επιβάρυνση στην αποκωδικοποίηση, αφού οι εσωτερικοί βρόχοι εκτελούνται λίγες φορές. Αντίθετα, αν το μέγεθος της περιοχής είναι μεγάλο, υπάρχουν λιγότερες ευκαιρίες συμπίεσης, αφού μία μοναδική μεγάλη τιμή δέλτα επιβάλλει μεγάλο μέγεθος για όλα τα στοιχεία.

0.6.2 Το σχήμα CSR-DU

Το σχήμα αποθήκευσης CSR-DU (CSR with Delta Units) χωρίζει τα δεδομένα δομής σε περιοχές, τις οποίες αποθηκεύει σε έναν πίνακα bytes που ονομάζεται `ct1`. Η κάθε περιοχή περιορίζεται σε στοιχεία μίας γραμμής και αποτελείται από δύο μέρη. Το πρώτο μέρος είναι η επικεφαλίδα, στην οποία αποθηκεύονται οι ιδιότητες της περιοχής. Το δεύτερο μέρος είναι το σώμα, όπου αποθηκεύονται κωδικοποιημένες οι δέλτα τιμές. Η επικεφαλίδα, στην πιο απλή της μορφή, περιέχει δύο πεδία μεγέθους ενός byte: (α) το πεδίο `usize`, που αναπαριστά τον αριθμό των στοιχείων της περιοχής και (β) το πεδίο `uflags`, ένα διάνυσμα bit (bit-vector) που κωδικοποιεί τα υπόλοιπα χαρακτηριστικά της περιοχής. Αφού το πεδίο `usize` έχει μέγεθος ένα byte, ο μέγιστος αριθμός στοιχείων για κάθε περιοχή είναι: $2^8 = 256$. Το μέγεθος των δέλτα τιμών (1, 2, 4 ή 8 bytes)† του σώματος κωδικοποιείται στο `uflags`, μαζί με πληροφορία για το αν η συγκεκριμένη περιοχή ξεκινά μία νέα γραμμή.

Το Σχήμα 16 παρουσιάζει ένα παράδειγμα του σχήματος αποθήκευσης CSR-DU. Στο παράδειγμα αυτό, μία σειρά με 8 στοιχεία χωρίζεται σε δύο περιοχές. Η πρώτη περιοχή περιέχει 5 στοιχεία, δέλτα τιμές μεγέθους 1 byte και είναι η αρχή μίας νέας γραμμής (`nr`). Η δεύτερη περιοχή έχει 3 στοιχεία και δέλτα τιμές μεγέθους 2 bytes.

Η διαδικασία συμπίεσης του σχήματος CSR-DU είναι απλή. Πραγματοποιείται σε $O(nnz)$ βήματα, όπου τα στοιχεία του πίνακα διατρέχονται μία φορά, και απαραίτητη πληροφορία κρατείται σε προσωρινούς χώρους αποθήκευσης, έως ότου ολοκληρωθεί η κωδικοποίηση μίας περιοχής. Με άλλα λόγια, η κωδικοποίηση σε CSR-DU δεν επιβαρύνει την πολυπλοκότητα της προ-επεξεργασίας σε σχέση με το σχήμα CSR. Ένα σημαντικό ζήτημα της κωδικοποίησης είναι ο διαχωρισμός των περιοχών. Στην υλοποίησή μας χρησιμοποιούμε μία απλή προσέγγιση όπου μία περιοχή ολοκληρώνεται όταν ικανοποιείται μία από τις παρακάτω συνθήκες: (α) στο επόμενο στοιχείο ξεκινά νέα γραμμή ή (β) η περιοχή έχει φθάσει τον μέγιστο αριθμό στοιχείων. Ο Αλγόριθμος 0.2 περιγράφει τη διαδικασία, χρησιμοποιώντας μία συνάρτηση για την ολοκλήρωση των περιοχών που παρουσιάζεται σε ψευδοκώδικα στον Αλγόριθμο 0.3.

Η υλοποίηση του πυρήνα `SrMxV` για το σχήμα αποθήκευσης CSR-DU παρουσιάζεται (απλοποιημένη) στον Κώδικα 6. Η πρόσβαση στον πίνακα `ct1` γίνεται μέσω εντολών του προ-επεξεργαστή (π.χ. `ct1_get_u16()`), οι οποίες επιστρέφουν τη ζητούμενη τιμή και αυξάνουν κατάλληλα το δείκτη του πίνακα. Αρχικά, οι τιμές των πεδίων `uflags` και `usize` εξάγονται από την επικεφα-

† Στην πράξη δεν χρησιμοποιούνται τιμές δέλτα μεγέθους 8 bytes λόγω περιορισμένης χωρητικότητας της μνήμης. Ωστόσο τις υποστηρίζουμε για πληρότητα.

Algorithm 0.2: Βασική διαδικασία κωδικοποίησης CSR-DU.

Initialization:

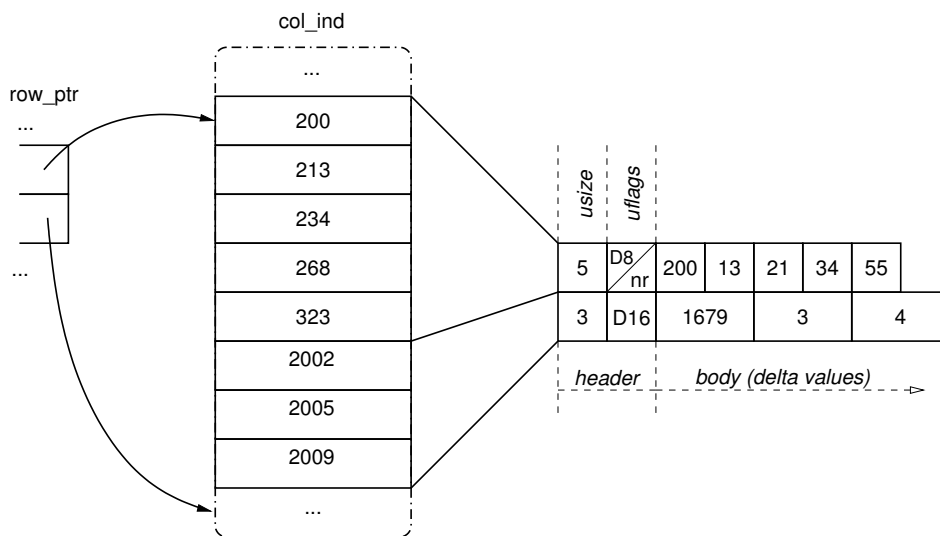
```
deltas ← [] // τιμές δέλτα για την τρέχουσα περιοχή  
newrow ← true // αληθές αν η τρέχουσα περιοχή ορίζει νέα γραμμή  
Yprev ← 1 // Η γραμμή του προηγούμενου στοιχείου  
Xprev ← 0 // Η στήλη του προηγούμενου στοιχείου
```

foreach (*X,Y*) in *Elements* **do**

```
  if Y ≠ Yprev then // αρχή νέας γραμμής  
    finalize(deltas, newrow)  
    deltas ← []  
    newrow ← true  
    Yprev ← Y  
    Xprev ← 0  
  deltas.add(X − Xprev)  
  if deltas reached maximum size then // έλεγχος ολοκλήρωσης περιοχής  
    finalize(deltas, newrow)  
    deltas ← []  
    newrow ← false
```

Algorithm 0.3: Ολοκλήρωση περιοχής: πρόσθεση κατάλληλης πληροφορίας στον πίνακα *ctl*.

```
finalize(deltas, newrow):  
  set use equal to the size of the deltas array  
  if newrow then  
    | set new row mark at uflags (nr).  
  switch max(deltas) do  
    case 1 .. 28 // 1 byte  
      | set delta's size to 1 byte at uflags (D8).  
      | copy values of deltas array as 1-byte integers to body.  
    case 28 .. 216 // 2 bytes  
      | set delta's size to 2 bytes at uflags (D16).  
      | copy values of deltas array as 2-bytes integers to body.  
    ...
```



Σχήμα 16: Παράδειγμα του σχήματος αποθήκευσης CSR-DU.

λίδα. Αν η περιοχή ξεκινά μία νέα γραμμή, πραγματοποιούνται οι απαραίτητες αρχικοποιήσεις. Τελικά, πραγματοποιούνται οι απαραίτητες πράξεις του πολλαπλασιασμού, ανάλογα το είδος της περιοχής. Οι εσωτερικοί βρόχοι που υλοποιούν τις πράξεις αυτές δεν περιέχουν εντολές διακλάδωσης, γεγονός που επιτρέπει τη γρήγορη εκτέλεση στον επεξεργαστή.

Η διαδικασία της παραλληλοποίησης είναι παρόμοια με αυτή του σχήματος CSR. Για την περίπτωση του διαμερισμού ανά γραμμές, το κάθε νήμα χρειάζεται τη θέση των δεδομένων που του έχουν ανατεθεί στους πίνακες `ct1`, `values` και `y`, καθώς και τον αριθμό των γραμμών που έχει αναλάβει.

Στις επόμενες παραγράφους παρουσιάζονται επεκτάσεις του σχήματος CSR-DU, οι οποίες αποσκοπούν στη βελτίωση της επίδοσης.

Απόσταση περιοχών

Ένα πρόβλημα του σχήματος CSR-DU, στη μορφή που περιγράφηκε στις προηγούμενες παραγράφους, είναι ότι είναι πιθανό η πρώτη τιμή δέλτα της περιοχής να είναι (αρκετά) μεγαλύτερη από τις υπόλοιπες και να επιβάλει μεγάλο μέγεθος αποθήκευσης σε όλες τις υπόλοιπες τιμές. Στο παράδειγμα του Σχήματος 16, τα στοιχεία της δεύτερης περιοχής είναι αρκετά κοντά μεταξύ τους ώστε να αρκεί 1 byte για τις τιμές δέλτα, αλλά η μεγάλη απόσταση από την πρώτη περιοχή επιβάλει μέγεθος 2 bytes. Για την αντιμετώπιση αυτού του προβλήματος, επεκτείνουμε το σχήμα CSR-DU, ώστε να περιλαμβάνει στην επικεφαλίδα την απόσταση από την προηγούμενη περιοχή (unit offset). Η απόσταση αυτή ονομάζεται `ujmp` και αποθηκεύεται ως ένας θετικός ακέραιος μεταβλητού μεγέθους. Η τεχνική αυτή βελτιώνει τη συμπίεση των δεικτών στηλών χωρίς κόστος στην επίδοση, αφού δεν επηρεάζει τον εσωτερικό βρόχο των υπολογισμών. Οι ακέραιοι μεταβλητού μεγέθους υλοποιούνται ως εξής: ο ακέραιος χωρίζεται σε μέρη των 7 bits, τα οποία αποθηκεύονται σε συνεχόμενα bytes, ενώ για να αναγνωριστεί το τελευταίο byte θέτουμε την

```

do {
    usize = ctl_get_u8(ctl);
    uflags = ctl_get_u8(ctl);
    if ( flags_new_row(uflags) ){
        y_indx++;
        x_indx = 0;
    }
    switch ( flags_type(uflags) ){
        case CSR_DU_U8:
            for (i=0; i<usize; i++) {
                x_indx += ctl_get_u8(ctl);
                y[y_indx] += *(values++) * x[x_indx];
            }
            break;

        case CSR_DU_U16:
            for (i=0; i<usize; i++) {
                x_indx += ctl_get_u16(ctl);
                y[y_indx] += *(values++) * x[x_indx];
            }
            break;

        case CSR_DU_U32:
            ...
    }
} while (values < values_end);

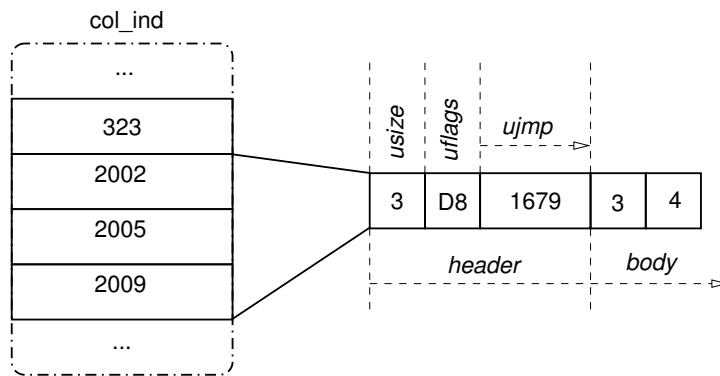
```

Listing 6: Η υλοποίηση του πυρήνα SpMxV για το σχήμα αποθήκευσης CSR-DU.

τιμή του πρώτου bit (MSB) σε 1. Το Σχήμα 17 δείχνει την κωδικοποίηση της δεύτερης περιοχής του Σχήματος 16, χρησιμοποιώντας αποστάσεις περιοχών.

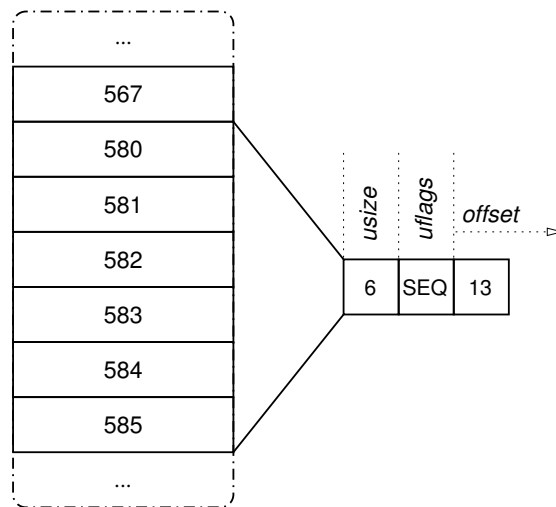
Περιοχές με συνεχόμενα στοιχεία

Αν και η χρήση της κωδικοποίησης δέλτα μπορεί να μειώσει σημαντικά τον όγκο των δεδομένων δομής, δεν χειρίζεται αποτελεσματικά την παρουσία συνεχόμενων στοιχείων. Αν όλα τα στοιχεία μίας περιοχής είναι συνεχόμενα, τότε η πληροφορία των δεικτών στηλών μπορεί να παραλειφθεί πλήρως. Η πρακτική αυτή, εκτός το να μειώνει τον όγκο του συνόλου εργασίας, αποτρέπει τις έμμεσες προσβάσεις στο διάνυσμα x , βοηθώντας τον μεταγλωττιστή και τον επεξεργαστή να βελτιώσουν την επίδοση του πολλαπλασιασμού. Συνεπώς, σε αντίθεση με τις συνήθεις τεχνικές συμπίεσης που επιβαρύνουν τη διαδικασία υπολογισμού, η εκμετάλλευση των συνεχόμενων στοιχείων μπορεί δυνητικά να βελτιώσει την επίδοση των υπολογισμών του πυρήνα SpMxV.



Σχήμα 17: Παράδειγμα περιοχής CSR-DU, χρησιμοποιώντας αποστάσεις περιοχών.

Επεκτείνουμε το σχήμα CSR-DU, αντίστοιχα με την τεχνική που παρουσιάζεται στο [PH99], ώστε να υποστηρίζει περιοχές που αποτελούνται από συνεχόμενα στοιχεία. Ένα παράδειγμα μίας περιοχής με συνεχόμενα στοιχεία παρουσιάζεται στο Σχήμα 18. Τα δεδομένα της περιοχής, εκτός από τα πεδία *usize* και *uflags*, περιέχουν την απόσταση από την προηγούμενη περιοχή (*ujmp*). Στον Κώδικα 7 παρουσιάζεται η υλοποίηση του πυρήνα *SrMxV* για περιοχές με συνεχόμενα στοιχεία.



Σχήμα 18: Παράδειγμα περιοχής με συνεχόμενα στοιχεία.

Μια σημαντική παράμετρος που πρέπει να ληφθεί υπόψη κατά τη διαδικασία συμπίεσης είναι το ελάχιστο μέγεθος μίας περιοχής με συνεχόμενα στοιχεία. Ονομάζουμε αυτή την παράμετρο *seq*. Συνεχόμενα στοιχεία μεγέθους μικρότερου από *seq*, θα συμπιέζονται χρησιμοποιώντας κωδικοποίηση δέλτα, όπως περιγράφεται στις προηγούμενες παραγράφους. Η παράμετρος αυτή αποτρέπει τη μείωση της επίδοσης εξαιτίας περιοχών με μικρό αριθμό συνεχόμενων στοιχείων.

```

...
x_indx += ctl_get_varint(ctl);
switch ( flags_type(uflags) ){
    case CSR_DU_SEQ:
        for (i=0; i < size; i++){
            y[y_indx] += *(values++) * x[x_indx + i]
        }
        x_indx += (size-1)
    ...
}
...

```

Listing 7: Υλοποίηση πυρήνα SpMxV για περιοχές με συνεχόμενα στοιχεία.

0.6.3 Πειραματική αξιολόγηση

Περιβάλλον

Για την αξιολόγηση του σχήματος αποθήκευσης CSR-DU πραγματοποιήσαμε σειρά μετρήσεων χρησιμοποιώντας διαφορετικές παραμέτρους. Οι εκδόσεις που υποστήριζαν το πεδίο απόστασης μεταξύ περιοχών (*ujmp*) είχαν, γενικά, καλύτερη επίδοση, οπότε και επόμενα αποτελέσματα παρουσιάζουμε μόνο αυτές. Σε ό,τι αφορά τις περιοχές με συνεχόμενα στοιχεία, θεωρούμε τρεις περιπτώσεις: απουσία περιοχών με συνεχόμενα στοιχεία (*noseq*) και περιοχές με συνεχόμενα στοιχεία ελάχιστου αριθμού 8 (*seq=8*) και 4 (*seq=4*).

Συγκρίνουμε το σχήμα αποθήκευσης CSR-DU με τα CSR και BCSR. Για το σχήμα BCSR πραγματοποιήσαμε μετρήσεις με διαφορετικά σχήματα μπλοκ[‡], χρησιμοποιώντας ειδικές εκδόσεις του πυρήνα SpMxV για κάθε μπλοκ. Στη συνέχεια, όσον αφορά το BCSR, περιοριζόμαστε στην παρουσίαση αποτελεσμάτων για το σχήμα μπλοκ με την καλύτερη επίδοση. Κατά τα άλλα, το περιβάλλον των πειραμάτων είναι όμοιο με αυτό που περιγράφεται στο 0.5.5: πραγματοποιούμε τις μετρήσεις σε δύο συστήματα (Harpertown και Nehalem), χρησιμοποιώντας 50 πίνακες.

Μείωση όγκου δεδομένων

Ο Πίνακας 4 παρουσιάζει το βαθμό συμπίεσης των σχημάτων BCSR και CSR-DU για όλους τους πίνακες. Η μέγιστη δυνατή μείωση όγκου δεδομένων για το σχήμα CSR-DU, είναι αυτή του πίνακα *large-dense*, τα αντίστοιχα ποσοστά συμπίεσης του οποίου είναι 24.9% για *seq=0* και 33.2% για *seq≠0*. Για τους υπόλοιπους πίνακες, ο βαθμός συμπίεσης κυμαίνεται από 0 (πίνακας *Freescale1*) έως κοντά στο μέγιστο (πίνακας *TSOPF_RS_b2383*). Ο μέσος βαθμός συμπίεσης για το σχήμα CSR-DU είναι: 14.2% για την περίπτωση *noseq*, 19.3% για *seq=8* και 21.1% για *seq=4*. Το σχήμα BCSR, αντίθετα, δεν είναι ικανό να αναπαραστήσει αποτελεσματικά τους πίνακες και οδηγεί σε αύξηση του μεγέθους για 23 πίνακες. Κατά μέσο όρο το BCSR αυξάνει τον

[‡]Οι μετρήσεις έγιναν με τα παρακάτω σχήματα: 1×2 , 1×3 , 1×4 , 2×1 , 2×2 , 2×3 , 2×4 , 3×1 , 3×2 , 4×1 , 4×2

όνομα πίνακα	μείωση όγκου δεδομένων(%)				όνομα πίνακα	μείωση όγκου δεδομένων (%)			
	BCSR (max)	DU				BCSR (max)	DU		
		noseq	seq=8	seq=4			noseq	seq=8	seq=4
boneS10	22.5	16.6	27.1	30.0	G3_circuit	-27.1	9.3	9.3	9.3
ldoor	9.5	6.9	19.9	30.1	cage13	-56.2	11.1	11.1	11.1
inline_1	22.4	4.7	15.8	22.8	rajat30	-31.6	9.9	10.7	14.0
fdif202x202x102	-38.5	15.9	15.9	15.9	pre2	-38.5	14.1	14.6	14.8
F1	22.3	5.8	16.2	21.0	Hamrle3	-6.2	17.8	17.8	19.6
rajat31	-39.3	21.5	21.5	21.5	largebasis	15.7	0.7	19.2	21.8
msdoor	10.2	11.9	22.3	29.1	Chebyshev4	-28.3	20.8	26.0	26.0
Freescale1	-31.7	0.5	0.5	0.6	apache2	-37.7	15.9	15.9	15.9
Ga41As41H72	-16.9	16.6	21.7	25.1	s3dkq4m2	16.7	16.6	31.8	31.8
af_shell9	12.0	16.6	28.8	30.9	ship_001	6.2	16.8	28.7	31.2
af_5_k101	12.1	16.5	28.8	30.9	torso3	-25.4	15.3	15.3	15.3
TSOPF_RS_b2383	26.3	21.0	33.1	33.1	thread	22.3	17.1	26.5	28.2
kkt_power	-61.2	5.2	5.2	5.2	ASIC_680k	-32.6	7.5	9.1	10.9
Si41Ge41H72	-13.5	16.6	21.8	25.7	large-dense	29.2	24.9	33.2	33.2
random100000	-66.3	16.7	16.7	16.7	barrier2-9	-37.6	16.8	16.8	17.3
nd12k	16.4	16.7	29.3	30.0	xenon2	19.4	21.0	21.0	21.8
crankseg_2	5.8	16.8	25.8	28.7	parabolic_fem	-46.9	1.0	1.0	1.0
pwtk	14.1	15.7	31.3	31.6	FEM_3D_thermal2	-13.7	19.3	19.3	19.3
bmw3_2	7.4	17.5	25.9	30.0	sme3Dc	-58.0	16.8	16.8	16.8
ohne2	-24.8	16.7	17.8	20.0	stomach	-29.7	21.5	21.5	21.5
hood	10.4	11.3	22.5	29.3	thermomech_dK	25.6	12.8	12.8	13.1
Si87H76	-29.6	16.6	20.4	22.7	helm2d03	-52.1	1.4	1.4	3.8
bmwcra_1	22.4	16.7	25.7	28.4	ASIC_680ks	-31.7	17.8	20.3	22.3
atmosmodj	-38.4	16.0	16.0	16.0	poisson3Db	-60.0	17.1	17.1	17.1
thermal2	-42.5	12.5	12.5	13.3	rma10	5.3	19.1	26.1	29.4

Πίνακας 4: Μείωση του όγκου δεδομένων για τα σχήματα BCSR και CSR-DU, σε σχέση με το CSR. Για το BCSR παρουσιάζουμε το αποτέλεσμα του σχήματος μπλοκ με τον ελάχιστο όγκο δεδομένων.

όγκο δεδομένων των πινάκων κατά 13.2%, ενώ στους 22 πίνακες που οδηγεί σε μείωση όγκου, ο βαθμός συμπίεσης είναι 16.1%. Επιπρόσθετα, το σχήμα BCSR παρουσιάζει καλύτερη συμπίεση από το σχήμα CSR-DU *seq=4*, μόνο σε δύο πίνακες (F1, *thermomech_dK*). Συμπερασματικά, όπως καταδεικνύουν τα αποτελέσματα, το σχήμα CSR-DU είναι πιο σταθερό από το BCSR, αφού δεν οδηγεί σε αύξηση του όγκου δεδομένων των πινάκων — στη χειρότερη περίπτωση το μέγεθος θα παραμείνει σταθερό.

Harpertown

Αρχικά, παρουσιάζουμε αποτελέσματα για το σύστημα Harpertown. Το Σχήμα 19 δείχνει τη μέση επιτάχυνση για διαφορετικές διατάξεις νημάτων των σχημάτων CSR, BCSR και CSR-DU, συγκρινόμενα με τη σειριακή περίπτωση CSR. Το σχήμα BCSR έχει, κατά μέσο όρο, χειρότερη επίδοση από το CSR για όλες τις περιπτώσεις, γεγονός που οφείλεται στο μεγάλο αριθμό πινά-

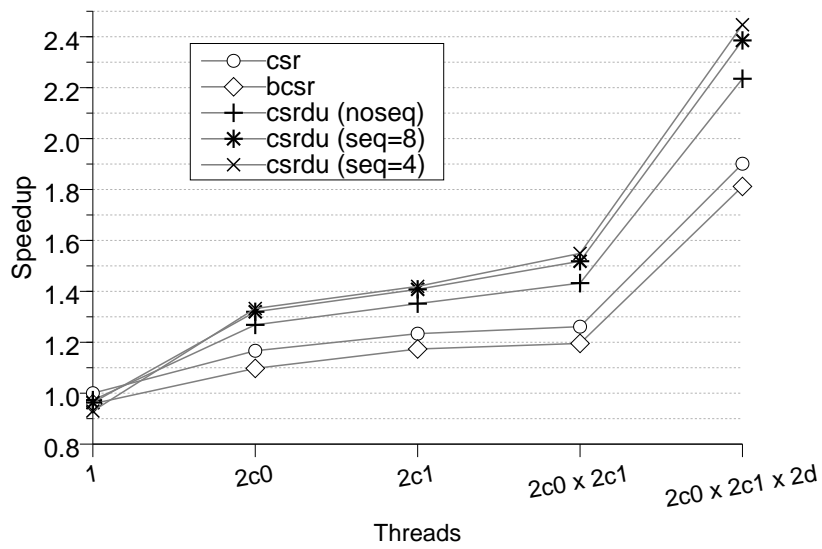
κων, για τους οποίους το BCSR οδηγεί σε αύξηση του όγκου δεδομένων. Όταν χρησιμοποιούνται όλοι οι διαθέσιμοι πυρήνες, το σχήμα CSR-DU έχει καλύτερη μέση επίδοση από τα σχήματα CSR και BCSR. Η καλύτερη επιτάχυνση για 8 νήματα (2.45) επιτυγχάνεται από την έκδοση $seq=4$, βελτιώνοντας την επίδοση κατά 28.7% σε σχέση με το CSR και 35.0% σε σχέση με το BCSR. Ένα ενδιαφέρον στοιχείο είναι ότι η έκδοση με την καλύτερη επίδοση για 8 νήματα ($seq=4$), έχει τη χειρότερη επίδοση όταν χρησιμοποιείται μόνο ένα νήμα (7% μείωση συγκριτικά με το CSR). Η περίπτωση αυτή δείχνει την αρνητική επίδραση της αποσυμπίεσης, όταν το σύστημα μπορεί να παρέχει δεδομένα με επαρκή ρυθμό μεταφοράς.

Η εύρεση του βέλτιστου σχήματος αποθήκευσης δεν είναι εύκολη διαδικασία, διότι οι εξαρτήσεις της επίδοσης από την υποκείμενη αρχιτεκτονική και τη δομή του πίνακα δεν είναι πάντα ορατές ή απλές. Το Σχήμα 20 παρουσιάζει την κατανομή των σχημάτων με την καλύτερη επίδοση για το σύνολο πινάκων που χρησιμοποιούμε. Εστιάζοντας στην περίπτωση όπου χρησιμοποιούνται όλοι οι διαθέσιμοι πυρήνες, το σχήμα CSR-DU αποτελεί καλή καθολική επιλογή, αφού επιτυγχάνει την καλύτερη επίδοση σε 43 πίνακες. Το σχήμα BCSR, για την ίδια περίπτωση, έχει την καλύτερη επίδοση για 4 πίνακες, ενώ το σχήμα CSR για 3. Όταν χρησιμοποιείται μόνο ένα νήμα, η κατανομή είναι πιο ισορροπημένη: το σχήμα CSR επιτυγχάνει την καλύτερη επίδοση για 17 πίνακες, το BCSR για 15, και το CSR-DU για 18. Γενικά, υποστηρίζουμε ότι όταν η στενωπός του πυρήνα είναι ο ρυθμός μεταφοράς δεδομένων από τη μνήμη, τότε το σχήμα CSR-DU αποτελεί καλύτερη επιλογή από τα σχήματα CSR και BCSR. Αντίθετα, όταν ο ρυθμός μεταφοράς είναι επαρκής, το κόστος της αποσυμπίεσης δεν ξεπερνιέται πάντα και το σχήμα CSR-DU δεν επιδεικνύει καλή συμπεριφορά σε όλες τις περιπτώσεις.

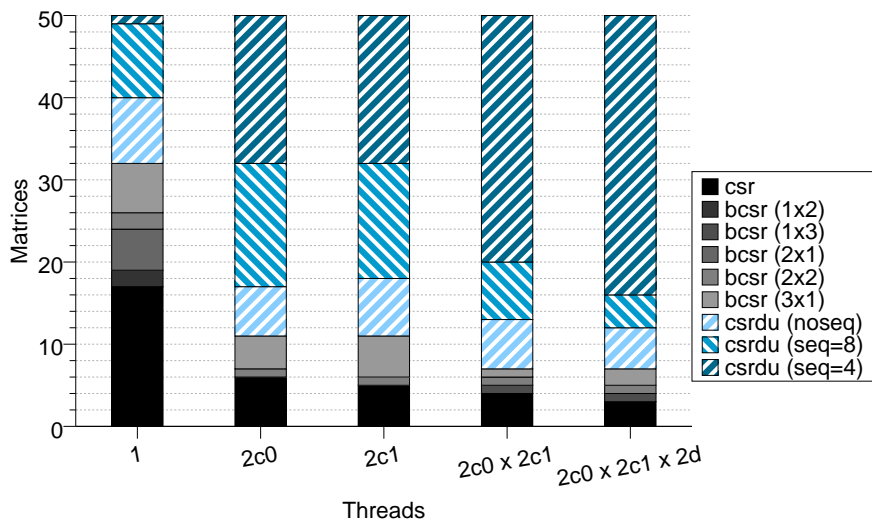
Nehalem

Στη συνέχεια, παρουσιάζουμε τα αποτελέσματα του συστήματος Nehalem, όπου θεωρούμε αποκλειστικά εκδόσεις του S_{pMxV} που χρησιμοποιούν μνήμη στον τοπικό κόμβο NUMA. Το Σχήμα 21 παρουσιάζει τη μέση επιτάχυνση των υπό εξέταση σχημάτων, συγκρινόμενα με τη σειριακή επίδοση του CSR. Όταν χρησιμοποιούνται όλοι οι πυρήνες ($4c \times 2d$), η καλύτερη μέση επιτάχυνση του CSR-DU είναι 4.6 ($seq=8$) και αποτελεί βελτίωση 12.2% σε σχέση με το CSR και 11.7% σε σχέση με το BCSR. Συνεπώς, ακόμα και στο σύστημα Nehalem, όπου το υποσύστημα μνήμης έχει ιδιαίτερα αυξημένη επίδοση, υπάρχει περιθώριο για βελτίωση της επιτάχυνσης χρησιμοποιώντας συμπίεση. Όταν χρησιμοποιούνται όλα τα νήματα SMT ($2t \times 4c \times 2d$), μόνο οι μέσοι όροι των περιπτώσεων CSR-DU $seq=4$ και $seq=8$ βελτιώνονται· όλες οι άλλες περιπτώσεις οδηγούν σε επιβράδυνση.

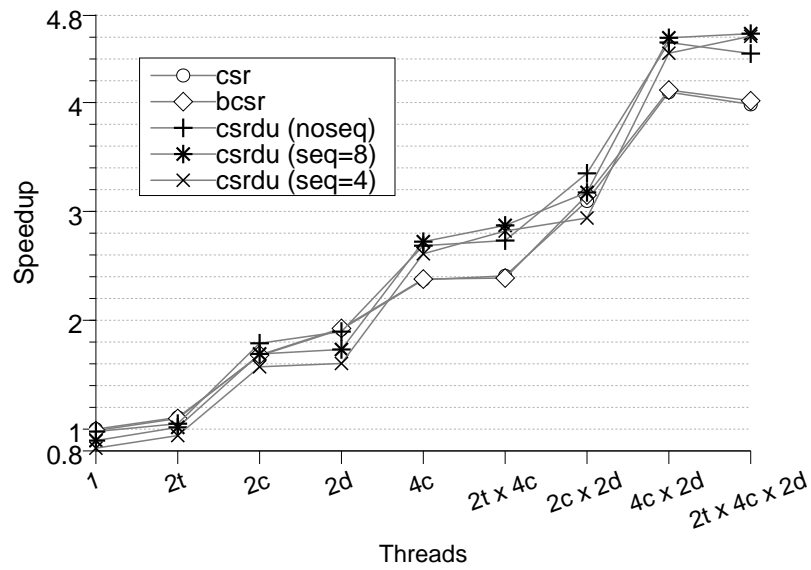
Το Σχήμα 22 παρουσιάζει την κατανομή των σχημάτων με την καλύτερη επίδοση. Για ένα νήμα, το σχήμα CSR επιτυγχάνει την καλύτερη επίδοση για 19 πίνακες, το BCSR για 22 και το CSR-DU για 9. Ωστόσο, όσο αυξάνει ο αριθμός των πυρήνων που χρησιμοποιούνται, το σχήμα CSR-DU εξελίσσεται στην καλύτερη επιλογή: για την περίπτωση $4c \times 2d$ το CSR-DU επιτυγχάνει την καλύτερη επίδοση για 36 πίνακες, το BCSR για 9 και το CSR για 5.



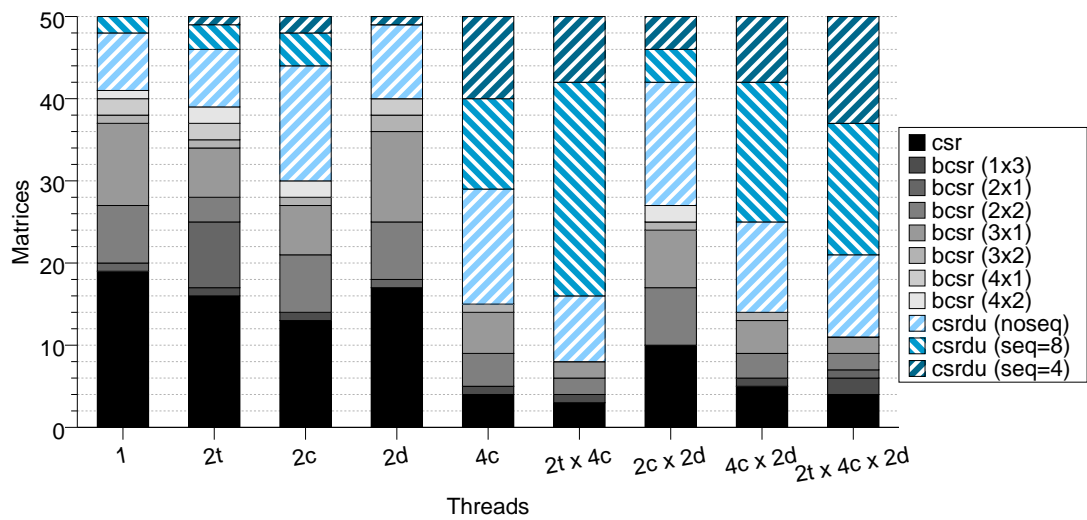
Σχήμα 19: Μέση παράλληλη επιτάχυνση των σχημάτων CSR, BCSR και CSR-DU, σε σχέση με το σειριακό CSR στο σύστημα Harpertown.



Σχήμα 20: Κατανομή των μεθόδων με την καλύτερη επίδοση στο σύστημα Harpertown.



Σχήμα 21: Μέση παράλληλη επιτάχυνση των σχημάτων CSR, BCSR και CSR-DU, σε σχέση με το σειριακό CSR στο σύστημα Nehalem.



Σχήμα 22: Κατανομή των μεθόδων με την καλύτερη επίδοση στο σύστημα Nehalem.

0.7 Το σχήμα αποθήκευσης CSR-VI

0.7.1 Κίνητρο και προσέγγιση

Όπως έχει αναφερθεί προηγουμένως, οι αριθμητικές τιμές, συνήθως, αποτελούν το μεγαλύτερο μέρος του συνόλου εργασίας ενός αραιού πίνακα, διότι αποθηκεύονται χρησιμοποιώντας 64 bit. Συνεπώς, η συμπίεση των αριθμητικών τιμών προσφέρει περισσότερες δυνατότητες, σε ό,τι αφορά τη μείωση του όγκου δεδομένων του συνόλου εργασίας. Ωστόσο, σε αντίθεση με τα δεδομένα δομής, τα δεδομένα τιμών δεν περιέχουν πλεονασμό πληροφορίας στη γενική περίπτωση. Επιπρόσθετα, η συμπίεση αριθμητικών τιμών δεν είναι απλή υπόθεση, δεδομένου ότι οι πράξεις μεταξύ αριθμών κινητής υποδιαστολής παράγουν στρογγυλοποιημένα αποτελέσματα.

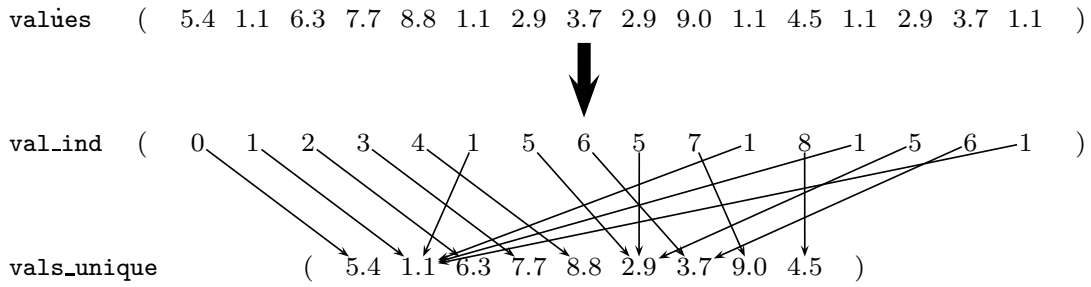
Ωστόσο, παρατηρήσαμε ότι ένας μεγάλος αριθμός πινάκων του συνόλου που χρησιμοποιούμε, περιέχουν μικρό αριθμό μοναδικών τιμών, συγκριτικά με τον αριθμό των μη-μηδενικών τιμών τους. Από την οπτική της θεωρίας της πληροφορίας, το χαρακτηριστικό αυτό συνεπάγεται χαμηλή τιμή της εντροπίας των τιμών. Με άλλα λόγια, στην περίπτωση αυτή, τα δεδομένα τιμών μπορούν να συμπεστούν. Επειδή αναζητούμε τεχνικές με μικρό κόστος αποσυμπίεσης, χρησιμοποιούμε μία απλή προσέγγιση: αντικαθιστούμε την αποθήκευση *nmz* τιμών με την αποθήκευση των μοναδικών τιμών και *nmz* δεικτών σε αυτές. Αν ο λόγος του αριθμού των συνολικών τιμών προς τον αριθμό των μοναδικών τιμών είναι υψηλός, το αποτέλεσμα θα είναι μείωση του όγκου δεδομένων του συνόλου εργασίας. Αν η μείωση αυτή είναι αρκετά μεγάλη, ο χρόνος εκτέλεσης του πυρήνα SpMxV θα μειωθεί, παρόλο το επιπλέον κόστος της έμμεσης πρόσβασης των τιμών.

0.7.2 Το σχήμα CSR-VI

Το σχήμα CSR-VI (CSR with Values Indirect), αντικαθιστά τον πίνακα *values* του CSR με δύο πίνακες: *vals_unique* και *val_ind*. Ο *vals_unique* περιέχει τις μοναδικές τιμές του πίνακα, ενώ ο *val_ind* περιέχει δείκτες στον *vals_unique* — έναν για κάθε στοιχείο του πίνακα. Για να επιτευχθεί μείωση του συνόλου εργασίας, θα πρέπει ο όγκος δεδομένων του πίνακα *val_ind* να είναι σημαντικά μικρότερος από τον όγκο δεδομένων του πίνακα *values*. Η τεχνική που ακολουθούμε για να εκπληρωθεί αυτή η προϋπόθεση, είναι η αποθήκευση των δεικτών τιμών σε μικρότερο χώρο, από τον χώρο που καταλαμβάνουν οι τιμές. Συνεπώς, το μέγεθος των στοιχείων του *val_ind* καθορίζεται από τον αριθμό των μοναδικών τιμών που πρέπει να διευθυνσιοδοτηθούν. Για παράδειγμα, αν ο αριθμός των μοναδικών τιμών είναι *uv* και $2^8 < uv \leq 2^{16}$, τότε χρησιμοποιείται ένας ακέραιος μεγέθους 2 bytes για κάθε δείκτη τιμής. Αν και η προσέγγιση αυτή δεν είναι βέλτιστη, όσον αφορά τη μείωση του όγκου δεδομένων του συνόλου εργασίας, εισάγει μικρή επιβάρυνση, αφού δεν απαιτεί εντολές διακλάδωσης. Ένα παράδειγμα του σχήματος CSR-VI παρουσιάζεται στο Σχήμα 23.

Το σχήμα CSR-VI έχει νόημα να εφαρμοστεί μόνο σε πίνακες που περιέχουν μικρό αριθμό μοναδικών τιμών. Για τον εξέταση της καταλληλότητας του CSR-VI, ορίζουμε το λόγο *ttu* (total-to-unique) ως το λόγο του αριθμού των συνολικών τιμών του πίνακα (*nmz*) προς τον αριθμό των μοναδικών τιμών του πίνακα (*uv*):

$$ttu = \frac{nmz}{uv}$$



Σχήμα 23: Παράδειγμα του σχήματος αποθήκευσης CSR-VI.

Πίνακες με υψηλό λόγο ttu είναι καλοί υποψήφιοι για την εφαρμογή της μεθόδου CSR-VI. Αντίθετα, εάν η CSR-VI εφαρμοστεί σε πίνακες με χαμηλό λόγο ttu , θα οδηγήσει σε επιβράδυνση. Η μείωση του όγκου δεδομένων των αριθμητικών τιμών (κ), συναρτήσει του λόγου ttu και του μεγέθους των δεικτών τιμών (s_{vi}) είναι:

$$\kappa = 1 - \frac{\mathcal{V}_{csrvi}}{\mathcal{V}_{csr}} = 1 - \frac{uv \cdot s_{val} + nnz \cdot s_{vi}}{nnz \cdot s_{val}} = 1 - \left(\frac{uv}{nnz} + \frac{s_{vi}}{s_{val}} \right) = 1 - \left(\frac{1}{ttu} + \frac{s_{vi}}{s_{val}} \right)$$

Εάν οι δείκτες τιμών αποθηκευθούν ως ακέραιοι με το ελάχιστο δυνατό μέγεθος, το μέγεθος τους είναι:

$$s_{vi} = \begin{cases} 1 \text{ byte,} & uv \leq 2^8 & = 256 \\ 2 \text{ bytes,} & 2^8 < uv \leq 2^{16} & = 65, 536 \\ 4 \text{ bytes,} & 2^{16} < uv \leq 2^{32} & = 4, 294, 967, 296 \end{cases}$$

Η συμπίεση του σχήματος CSR-VI μπορεί να υλοποιηθεί χρησιμοποιώντας έναν πίνακα κατακερματισμού σε $\mathcal{O}(nnz)$ βήματα (Αλγόριθμος 0.4). Επιπλέον, η υλοποίηση του πυρήνα SpMxV για το σχήμα CSR-VI παρουσιάζεται στον Κώδικα 8.

```

for(i=0; i<N; i++)
  for(j=row_ptr[i]; j<row_ptr[i+1]; j++)
    y[i] += vals_unique[val_ind[j]] * x[col_ind[j]];

```

Listing 8: Υλοποίηση του πυρήνα SpMxV για το σχήμα αποθήκευσης CSR-VI.

0.7.3 Συνδυάζοντας τα σχήματα αποθήκευσης CSR-DU και CSR-VI

Τα σχήματα αποθήκευσης CSR-DU και CSR-VI μπορούν να εφαρμοστούν ανεξάρτητα σε έναν πίνακα διότι λειτουργούν σε διαφορετικά σύνολα δεδομένων: Το CSR-DU αφορά τα δεδομένα δομής, ενώ το CSR-VI αφορά τα δεδομένα τιμών. Θα αναφερόμαστε στο συνδυασμό τους ως CSR-DUVI, ένα σχήμα αποθήκευσης που εφαρμόζει συμπίεση και στα δεδομένα δομής

Algorithm 0.4: Διαδικασία συμπίεσης για το Σχήμα CSR-VI.

```
Initialization:  
 $h \leftarrow \{ \}$  // πίνακας κατακερματισμού για την αποθήκευση μοναδικών τιμών  
 $vis \leftarrow [ ]$  // πίνακας δεικτών τιμών  
 $uvs \leftarrow [ ]$  // πίνακας μοναδικών τιμών  
foreach  $V$  in  $Values$  do  
  if  $V$  not in  $h$  then  
     $vi \leftarrow uvs.size()$  // νέος δείκτης τιμής  
     $uvs.add(V)$  // νέα μοναδική τιμή  
     $h[Val] \leftarrow vi$  // αποθήκευση δείκτη τιμής  
  else  
     $vi \leftarrow h[Val]$  // δείκτης τιμής από πίνακα κατακερματισμού  
   $vis.add(vi)$  // εισαγωγή δείκτη τιμής
```

και στις αριθμητικές τιμές. Προφανώς, το σχήμα CSR-DUVI δεν είναι γενικό, αλλά μπορεί να εφαρμοσθεί μόνο σε πίνακες με μικρό αριθμό μοναδικών τιμών.

0.7.4 Πειραματική αξιολόγηση

Περιβάλλον

Χρησιμοποιούμε, και πάλι, την ίδια πειραματική πλατφόρμα: δύο πολυπύρηννα συστήματα (Harpertown και Nehalem), δείκτες 32-bit και αριθμητικές τιμές 64-bit, και 50 πίνακες ως αφετηρία (Πίνακας 3). Στον Πίνακα 5 περιέχεται ο αριθμός των μοναδικών τιμών και ο λόγος ttu για κάθε πίνακα. Δεδομένου ότι το σχήμα CSR-VI δεν είναι κατάλληλο για όλους τους πίνακες, χρησιμοποιούμε το κριτήριο $ttu \geq 5$ για την επιλογή του υποσυνόλου που θα χρησιμοποιήσουμε για την πειραματική αξιολόγηση. Επιπρόσθετα, δεν συμπεριλαμβάνουμε τους πίνακες `random100000` και `large-dense`, διότι οι αριθμητικές τους τιμές έχουν δημιουργηθεί τυχαία. Το υποσύνολο που προκύπτει περιλαμβάνει 22 πίνακες, και αποτελεί σημαντικό κομμάτι του αρχικού συνόλου. Σημειώνουμε ότι στο σύστημα Nehalem, η μνήμη για κοινά δεδομένα (π.χ. ο πίνακας των μοναδικών τιμών) δεσμεύεται με τις συνήθεις μεθόδους (`malloc()`).

Μείωση όγκου δεδομένων

Το ποσοστό μείωσης του όγκου δεδομένων που επιτεύχθηκε από τα σχήματα CSR-VI και CSR-DUVI παρουσιάζεται στον Πίνακα 5. Κατά μέσο όρο, το CSR-VI οδηγεί σε μείωση 39.2%, όπου η μέγιστη είναι 58.8% (`boneS10`), και η ελάχιστη 20.3% (`Ga41As41H72`). Αντίστοιχα, η μέθοδος CSR-DUVI επιτυγχάνει μέση μείωση όγκου δεδομένων 52.4% για `noseq`, 56.2% για `seq=8` και 57.3% για `seq=4`.

χαρακτηριστικά πίνακα			μείωση όγκου δεδομένων (%)			
όνομα	μοναδικές τιμές	ttu	VI	DUVI		
				noseq	seq=8	seq=4
boneS10	40	1,386,710.6	58.0	74.6	85.2	88.1
ldoor	21,675,099	2.1	-	-	-	-
inline_1	18,016,122	2.0	-	-	-	-
fdif202x202x102	4	6,960,000.0	55.7	71.6	71.6	71.6
F1	13,038,962	2.1	-	-	-	-
rajat31	3,985	5,098.2	46.4	67.9	67.9	67.9
msdoor	9,777,773	2.1	-	-	-	-
Freescale1	9,418,239	2.0	-	-	-	-
Ga41As41H72	3,597,854	5.1	20.3	36.9	41.9	45.4
af_shell9	968,711	18.2	29.4	45.9	58.1	60.3
af_5_k101	9,027,150	1.9	-	-	-	-
TSOPF_RS_b2383	762,680	21.2	30.2	51.1	63.2	63.2
kkt_power	84,245	173.5	31.5	36.7	36.7	36.7
Si41Ge41H72	4,665,454	3.2	-	-	-	-
random100000	10,000	1,497.8	-	-	-	-
nd12k	4,857,071	2.9	-	-	-	-
crankseg_2	4,397,887	3.2	-	-	-	-
pwtk	5,592,868	2.1	-	-	-	-
bmw3_2	4,126,650	2.7	-	-	-	-
ohne2	5,271,361	2.1	-	-	-	-
hood	5,048,077	2.1	-	-	-	-
Si87H76	334,180	31.9	31.0	47.6	51.4	53.7
bmwcra_1	3,153,346	3.4	-	-	-	-
atmosmodj	4	2,203,720.0	55.7	71.6	71.6	71.6
thermal2	4,819,424	1.8	-	-	-	-
G3_circuit	241	31,787.7	54.6	63.9	63.9	63.9
cake13	417	17,936.1	49.0	60.1	60.1	60.1
rajat30	683,418	9.0	25.1	35.0	35.8	39.1
pre2	781,486	7.6	23.7	37.8	38.3	38.5
Hamrle3	53	104,042.3	53.6	71.5	71.5	73.2
largebasis	317	17,539.7	48.7	49.4	67.9	70.6
Chebyshev4	1,550,644	3.5	-	-	-	-
apache2	40	120,446.8	55.6	71.5	71.5	71.5
s3dkq4m2	74,283	64.9	32.1	48.7	63.9	63.9
ship_001	1,209,604	3.8	-	-	-	-
torso3	3,121,632	1.4	-	-	-	-
thread	2,085,970	2.1	-	-	-	-
ASIC_680k	80,211	48.3	30.2	37.7	39.3	41.1
large-dense	32,767	122.1	-	-	-	-
barrier2-9	1,095,875	3.6	-	-	-	-
xenon2	93,364	41.4	31.3	52.3	52.3	53.1
parabolic_fem	259,125	14.2	27.3	28.3	28.3	28.3
FEM_3D_thermal2	1,880,768	1.9	-	-	-	-
sme3Dc	2,358,393	1.3	-	-	-	-
stomach	2,257,584	1.3	-	-	-	-
thermomech_dK	1,967,432	1.4	-	-	-	-
helm2d03	109,526	25.0	29.3	30.7	30.7	33.1
ASIC_680ks	40,708	57.2	44.5	62.3	64.7	66.8
poisson3Db	2,374,908	1.0	-	-	-	-
rma10	1,223,223	1.9	-	-	-	-

Πίνακας 5: Μείωση όγκου δεδομένων για τα σχήματα CSR-VI και CSR-DUVI, σε σχέση με το CSR.

CSR-VI

Αρχικά, παρουσιάζουμε αποτελέσματα επίδοσης του πυρήνα SpMxV για το σύστημα Harpertown. Το Σχήμα 24 παρουσιάζει τη μέση επιτάχυνση των σχημάτων CSR και CSR-VI, σε σύγκριση με το σειριακό CSR. Όπως αναμενόταν, η βελτίωση στην επίδοση είναι μεγαλύτερη σε σχέση με τη μέθοδο CSR-DU. Ακόμα και στην περίπτωση χρήσης ενός νήματος, το CSR-VI βελτιώνει την μέση επίδοση του πυρήνα SpMxV κατά ποσοστό 12.4%, συγκριτικά με το CSR. Καθώς αυξάνεται ο αριθμός των νημάτων η βελτίωση μεγαλώνει. Για 8 νήματα, ή μέση επιτάχυνση για το CSR-VI είναι 2.75 — 51.7% μεγαλύτερη από αυτή του CSR.

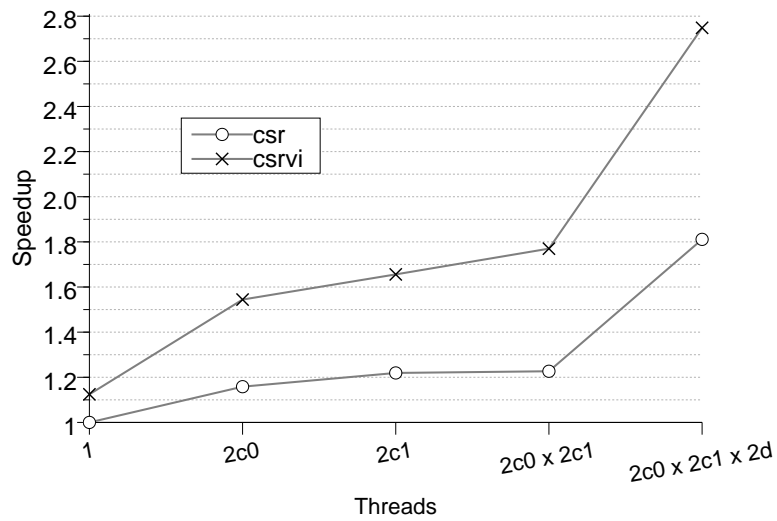
Στη συνέχεια παρουσιάζουμε αντίστοιχα αποτελέσματα επίδοσης για το σύστημα Nehalem. Τα τεχνικά χαρακτηριστικά του Nehalem, που επιτρέπουν υψηλούς ρυθμούς μεταφοράς δεδομένων από τη μνήμη, περιορίζουν τα πιθανά οφέλη από την εφαρμογή του σχήματος CSR-VI. Η προφόρτωση δεδομένων σε επίπεδο υλικού (hardware prefetching) εξασφαλίζει ότι ο πυρήνας CSR SpMxV θα εκμεταλλευτεί τον παρεχόμενο ρυθμό μεταφοράς δεδομένων. Αντίθετα, στην περίπτωση του CSR-VI απαιτούνται τυχαίες προσβάσεις στον πίνακα `vals_unique`. Οι προσβάσεις αυτές δεν μπορούν να προβλεφθούν, οδηγώντας σε υποχρησιμοποίηση των δυνατοτήτων του συστήματος.

Όπως φαίνεται στο Σχήμα 25, το CSR-VI έχει χειρότερη επίδοση από το CSR, όταν χρησιμοποιείται μόνο ένα νήμα (επιβράδυνση 15%). Ωστόσο, στην περίπτωση $4c \times 2d$, η μέση επιτάχυνση του CSR-VI είναι 4.13 και αποτελεί βελτίωση σε σχέση με την αντίστοιχη επιτάχυνση του CSR κατά 8.6%. Επιπρόσθετα, όταν χρησιμοποιούνται όλα τα νήματα SMT ($2t \times 4c \times 2d$) η μέση επιτάχυνση του CSR-VI αυξάνεται σε 4.23.

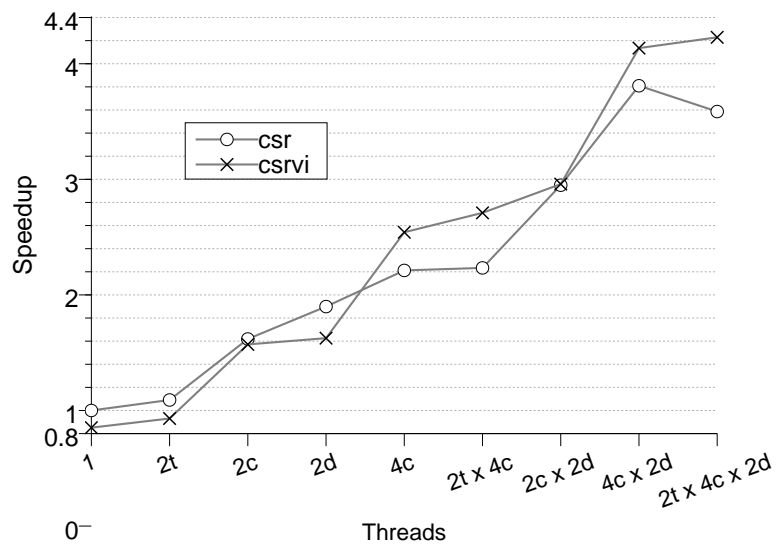
CSR-DUVI

Το Σχήμα 26 δείχνει ότι, κατά μέσο όρο, η επίδοση του πυρήνα CSR-DUVI SpMxV είναι όμοια με αυτή του CSR. Ωστόσο, στην περίπτωση $2c0 \times 2c1 \times 2d$ το CSR-DUVI οδηγεί σε σημαντική βελτίωση της επιτάχυνσης. Συγκεκριμένα, η περίπτωση $seq=8$ επιτυγχάνει επιτάχυνση ίση με 4.04, η οποία αποτελεί βελτίωση 123% σε σχέση με το CSR και 47% σε σχέση με το CSR-VI. Προφανώς, ή μεγάλη βελτίωση σχετίζεται με το ότι η συμπίεση είχε ως αποτέλεσμα το σύνολο εργασίας για ορισμένους πίνακες να έχει μέγεθος μικρότερο της L2.

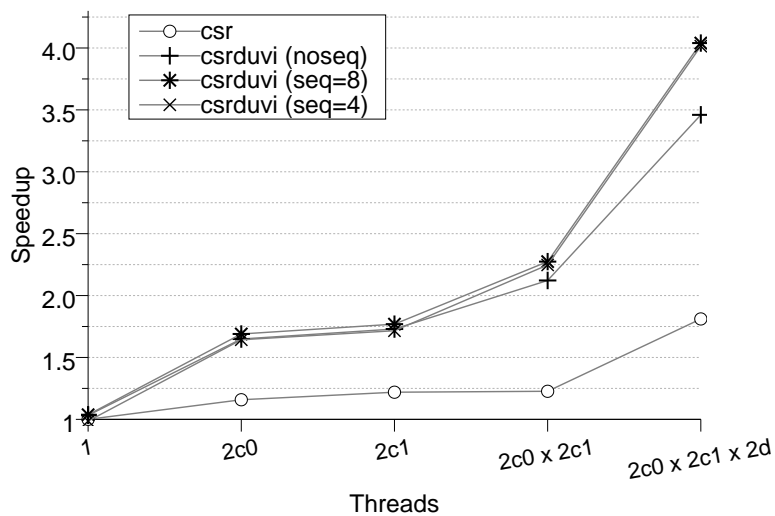
Όσον αφορά το σύστημα Nehalem, η καλύτερη επιτάχυνση του σχήματος CSR-DUVI στις περιπτώσεις $4c \times 2d$ (4.41) και $2t \times 4c \times 2d$ (4.57) εμφανίζεται για $seq=8$ (Figure 27). Τα ποσοστά βελτίωσης σε σχέση με το σχήμα CSR-VI είναι 6.6% και 8.2%, ενώ σε σχέση με την καλύτερη επιτάχυνση του CSR ($4c \times 2d$) τα ποσοστά βελτίωσης είναι 15.7% και 20%.



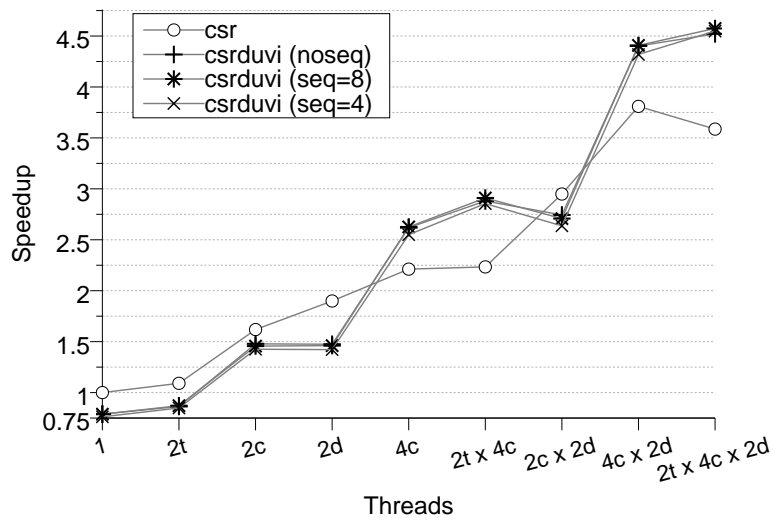
Σχήμα 24: Μέση παράλληλη επιτάχυνση του πυρήνα SpMxV για τα σχήματα αποθήκευσης CSR και CSR-VI στο σύστημα Harpertown.



Σχήμα 25: Μέση παράλληλη επιτάχυνση του πυρήνα SpMxV για τα σχήματα αποθήκευσης CSR και CSR-VI στο σύστημα Nehalem.



Σχήμα 26: Μέση παράλληλη επιτάχυνση του πυρήνα SpMxV για τα σχήματα αποθήκευσης CSR και CSR-DUVI στο σύστημα Harpertown.



Σχήμα 27: Μέση παράλληλη επιτάχυνση του πυρήνα SpMxV για τα σχήματα αποθήκευσης CSR και CSR-DUVI στο σύστημα Nehalem.

0.8 Το σχήμα αποθήκευσης CSX

0.8.1 Κίνητρο και προσέγγιση

Ο υπολογιστικός πυρήνας SpMxV είναι, γενικά, απλός. Η επίδοσή του, ωστόσο, διαφέρει σημαντικά ανάλογα με τη δομή του εκάστοτε πίνακα. Συνήθως, οι αραιοί πίνακες πραγματικών εφαρμογών εμπεριέχουν κάποια κανονικότητα στη δομή τους. Ένα γενικό σχήμα αποθήκευσης, όπως το CSR, δεν κάνει υποθέσεις για τη φύση της δομής και συνεπώς δεν μπορεί να εκμεταλλευτεί αυτές τις κανονικότητες. Αντίθετα, ειδικευμένα σχήματα αποθήκευσης στοχεύουν στη βελτίωση της επίδοσης του SpMxV αξιοποιώντας κανονικότητες που παρουσιάζονται στη δομή αραιών πινάκων. Παραδείγματα κανονικοτήτων και αντίστοιχων σχημάτων αποθήκευσης αποτελούν τα διδιάστατα μπλοκ που αξιοποιούνται από το BCSR, οι μεγάλες διαγώνιοι που αξιοποιούνται από το DIAG, και συνεχόμενα μη-μηδενικά στοιχεία που αξιοποιούνται από το σχήμα που περιγράφεται στο [PH99].

Το CSR-DU, στοχεύει στην αξιοποίηση περιοχών, στις οποίες τα μη-μηδενικά στοιχεία βρίσκονται κοντά. Μια ειδοποιός διαφορά, ωστόσο, είναι ότι το σχήμα βασίζεται στην ιδέα των περιοχών. Η ιδέα των περιοχών μπορεί να επεκταθεί, ώστε να υποστηρίζονται πολλαπλοί τύποι περιοχών, κάθε ένας από τους οποίους θα αντιστοιχεί σε διαφορετικές κανονικότητες που παρουσιάζονται στον πίνακα. Σε αυτή την περίπτωση, ο πυρήνας SpMxV μπορεί να υλοποιηθεί σε δύο επίπεδα. Στο πρώτο επίπεδο διατρέχονται οι περιοχές, για κάθε μία από τις οποίες (στο δεύτερο επίπεδο) χρησιμοποιείται ειδικευμένη ρουτίνα πολλαπλασιασμού.

Στις επόμενες παραγράφους περιγράφουμε το σχήμα CSX (Compressed Sparse eXtended). Το CSX παρέχει ένα πλαίσιο για τη βελτιστοποίηση του πυρήνα SpMxV, χρησιμοποιώντας χαρακτηριστικά του εκάστοτε πίνακα. Η προσέγγισή βασίζεται στην περιγραφή του πίνακα ως μία διάταξη περιοχών. Οι περιοχές χαρακτηρίζονται από τον τύπο τους και περιέχουν κωδικοποιημένη πληροφορία για την εξαγωγή των στοιχείων που περιέχουν. Ο κάθε τύπος περιοχής αναπαριστά κάποιου είδους κανονικότητα, η οποία επιτρέπει την αποδοτική αποθήκευση των στοιχείων.

0.8.2 Κανονικότητες που υποστηρίζονται από το CSX

Οριζόντια στοιχεία

Χρησιμοποιώντας το σχήμα CSR-DU ως αφετηρία, παρατηρούμε ότι η κωδικοποίηση των συνεχόμενων στοιχείων είναι ειδική περίπτωση του συνδυασμού της κωδικοποίησης δέλτα και του περιορισμού των επαναλαμβανόμενων τιμών (run-length encoding). Ένα παράδειγμα της κωδικοποίησης αυτής, στην οποία θα αναφερόμαστε ως κωδικοποίηση DRLE, παρουσιάζεται στον Πίνακα 6. Στο CSX, γενικεύοντας την προσέγγιση του CSR-DU, θεωρούμε περιοχές στοιχείων με σταθερή απόσταση. Συνεπώς, στοιχεία της μορφής: $(\alpha, \alpha + \delta, \alpha + 2\delta, \dots)$ κωδικοποιούνται χρησιμοποιώντας μόνο το πρώτο στοιχείο (α), την (σταθερή) απόστασή τους (δ), και τον αριθμό τους. Η υλοποίηση της πράξης SpMxV τέτοιων περιοχών παρουσιάζεται στον Κώδικα 9.

τιμές	2	3	5	7	8	9	10	11	12	13	17
D	2	1	2	2	1	1	1	1	1	1	4
RLE	(2,1)	(1,1)	(2,2)	(1,6)						(4,1)	

Πίνακας 6: Παράδειγμα κωδικοποίησης DRLE.

```

xi = x_idx;
yi = y_idx;
for (i=0; i < size; i++){
    y[yi] += *(values++) * x[xi];
    xi += DELTA;
}

```

Listing 9: Υλοποίηση SpMxV για οριζόντιες περιοχές DRLE.

Κάθετα και διαγώνια στοιχεία

Επιπρόσθετα, επεκτείνουμε τις περιοχές DRLE ώστε να υποστηρίζουν και διαφορετικές κατευθύνσεις για τα στοιχεία που περιγράφουν. Συγκεκριμένα, εκτός από την οριζόντια κατεύθυνση, εξετάζουμε την κάθετη, τη διαγώνια και την αντί-διαγώνια κατεύθυνση (Πίνακας 7). Χρησιμοποιώντας το ίδιο σκεπτικό με πριν, οι περιοχές DRLE χαρακτηρίζονται από δύο παραμέτρους: την κατεύθυνση και την απόσταση των στοιχείων.

Κατεύθυνση		στοιχεία	
		y	x
Οριζόντια	→	y_0	$x_0 + i\delta$
Κάθετη	↓	$y_0 + i\delta$	x_0
Διαγώνια	↘	$y_0 + i\delta$	$x_0 + i\delta$
Αντι-διαγώνια	↙	$y_0 + i\delta$	$x_0 - i\delta$

Πίνακας 7: Κατευθύνσεις για κωδικοποίηση DRLE.

0.8.3 Δημιουργία πίνακα CSX

Επιλογή κανονικοτήτων

Ο αλγόριθμος επιλογής κανονικοτήτων που χρησιμοποιούμε χειρίζεται τις υποστηριζόμενες κανονικότητες με κοινό τρόπο. Βασίζουμε τον αλγόριθμο στην ανίχνευση περιοχών DRLE για την οριζόντια κατεύθυνση. Κατά την ανίχνευση αυτή, στοιχεία με σταθερή απόσταση κωδικοποιούνται σε μία οριζόντια περιοχή DRLE, αν το πλήθος τους ξεπερνάει μία συγκεκριμένη παράμετρο. Η ανίχνευση αυτή μπορεί να υλοποιηθεί εύκολα, αν θεωρήσουμε ότι τα στοιχεία διατρέχονται με λεξικογραφική σειρά. Ο αλγόριθμος οριζόντιας ανίχνευσης παρουσιάζεται σε ψευδοκώδικα στον Αλγόριθμο 0.5.

Algorithm 0.5: Αλγόριθμος κωδικοποίησης DRLE.

Input: Ο πίνακας *indices* που περιέχει τους δείκτες των στοιχείων

Input: Η παράμετρος *limit* που θέτει το ελάχιστο μέγεθος των περιοχών DRLE

```
deltas = deltaEncode(indices) // κωδικοποίηση δέλτα στα στοιχεία
deltarle ← deltas[0] // τρέχουσα απόσταση
freqrle ← 1 // συχνότητα τρέχουσας απόστασης

for i ← 1 to deltas.size() do
  if deltas[i] == deltarle then // κοινή απόσταση
    freqrle ← freqrle + 1
  else // διαφορετική απόσταση
    if freqrle ≥ limit then encode in DRLE units // το πλήθος των στοιχείων είναι
    αρκετά μεγάλπ
    else keep individual indices // το πλήθος στοιχείων είναι μικρό
    deltarle ← deltas[i]
    freqrle ← 1
```

Για να υλοποιηθεί η ανίχνευση περιοχών DRLE για διαφορετικές κατευθύνσεις, χρησιμοποιούμε κατάλληλους μετασχηματισμούς για τις συντεταγμένες των στοιχείων του πίνακα. Για παράδειγμα, για την ανίχνευση κάθετων περιοχών DRLE, αλλάζουμε τη θέση των συντεταγμένων. Οι συναρτήσεις μετασχηματισμού για τις κανονικότητες που εξετάζουμε παρουσιάζονται στον Πίνακα 8. Επιπλέον, ένα παράδειγμα χρήσης του διαγώνιου μετασχηματισμού παρουσιάζεται στο Σχήμα 28.

Κατεύθυνση	Μετασχηματισμός
Οριζόντια	$(i', j') = (i, j)$
Κάθετη	$(i', j') = (j, i)$
Διαγώνια	$(i', j') = (nrows + j - i, \min(i, j))$
Άντι-διαγώνια	$(i', j') = \begin{cases} (nrows + j - i, j), & i < nrows \\ (j, i + j - nrows), & i \geq nrows \end{cases}$

Πίνακας 8: Μετασχηματισμοί κατευθύνσεων για περιοχές DRLE.

Ωστόσο, η εφαρμογή της συνάρτησης μετασχηματισμού δεν αρκεί: τα ζεύγη των συντεταγμένων θα πρέπει να ταξινομηθούν λεξικογραφικά πριν εισαχθούν στον αλγόριθμο οριζόντιας ανίχνευσης. Η προϋπόθεση αυτή, στη γενική περίπτωση, έχει αρνητική επίδραση στη χρονική πολυπλοκότητα της ανίχνευσης, αφού απαιτεί τουλάχιστον $\mathcal{O}(n \log n)$ συγκρίσεις.

$$\begin{pmatrix} (1, 1) & (1, 2) & (1, 3) & (1, 4) \\ (2, 1) & (2, 2) & (2, 3) & (2, 4) \\ (3, 1) & (3, 2) & (3, 3) & (3, 4) \\ (4, 1) & (4, 2) & (4, 3) & (4, 4) \end{pmatrix} \xrightarrow{j'=\min(i,j)} \begin{pmatrix} (4, 1) & (3, 1) & (2, 1) & (1, 1) \\ (5, 1) & (4, 2) & (3, 2) & (2, 2) \\ (6, 1) & (5, 2) & (4, 3) & (3, 3) \\ (7, 1) & (6, 2) & (5, 3) & (4, 4) \end{pmatrix}$$

Σχήμα 28: Παράδειγμα μετασχηματισμού για τις διαγώνιες περιοχές DRLE.

0.8.4 Επιλογή κανονικοτήτων

Η επιλογή των κατάλληλων κανονικοτήτων για τον εκάστοτε πίνακα είναι κρίσιμη, όσον αφορά την επίδοση του πυρήνα SpMxV. Αν κωδικοποιήσουμε τα στοιχεία των πινάκων χρησιμοποιώντας όλες τις πιθανές περιπτώσεις, υπάρχει ο κίνδυνος να συμπεριληφθεί μεγάλος αριθμός από διαφορετικούς τύπους περιοχών. Αυτό δημιουργεί σημαντική επιβάρυνση κατά τη διαδικασία επιλογής του κατάλληλου κώδικα πολλαπλασιασμού, με βάση τον τύπο της περιοχής. Συνεπώς, εξετάζουμε μόνο περιπτώσεις που μπορούν να κωδικοποιηθούν πλήθος στοιχείων μεγαλύτερο από το 10% του συνολικού αριθμού στοιχείων.

Για τη διαδικασία επιλογής χρησιμοποιούμε έναν άπληστο (greedy) αλγόριθμο (Αλγόριθμος 0.6). Σε κάθε επανάληψη εφαρμόζονται όλοι οι διαθέσιμοι μετασχηματισμοί στις συντεταγμένες των στοιχείων. Για κάθε μετασχηματισμό, κωδικοποιούμε τα στοιχεία χρησιμοποιώντας τον οριζόντιο αλγόριθμο επιλογής περιοχών DRLE και παράγουμε μία τιμή βαθμολογίας (score), που αναπαριστά την καταλληλότητα της συγκεκριμένης κωδικοποίησης. Επιλέγουμε την κωδικοποίηση με την υψηλότερη βαθμολογία και δημιουργούμε τις κατάλληλες περιοχές. Ο αλγόριθμος επαναλαμβάνεται για τους μετασχηματισμούς που δεν έχουν, ακόμα, επιλεγεί, έως ότου δεν μπορούν να κωδικοποιηθούν άλλα στοιχεία. Τα υπόλοιπα στοιχεία κωδικοποιούνται σε περιοχές δέλτα (περιοχές του σχήματος αποθήκευσης CSR-DU).

Η βαθμολογία των διαφορετικών κωδικοποιήσεων βασίζεται σε δύο παραμέτρους, η πρώτη εκ των οποίων είναι ο αριθμός των μη μηδενικών στοιχείων που κωδικοποιήθηκαν στις αντίστοιχες περιοχές. Η δεύτερη, λιγότερο προφανής, παράμετρος είναι ο αριθμός των κωδικοποιημένων περιοχών. Αν, για παράδειγμα, δυο μετασχηματισμοί οδηγούν στον ίδιο αριθμό στοιχείων, τότε επιλέγουμε τον μετασχηματισμό που οδηγεί σε μικρότερο αριθμό περιοχών, διότι οι περιοχές με μεγαλύτερο πλήθος στοιχείων εισάγουν μικρότερη επιβάρυνση. Συγκεκριμένα, βαθμολογούμε τις διαφορετικές κωδικοποιήσεις αφαιρώντας από τον αριθμό των συνολικών στοιχείων τον αριθμό των περιοχών:

$$score = total_{nnz} - (units + total_{nnz} - encoded_{nnz}) = encoded_{nnz} - units$$

Κωδικοποίηση πίνακα

Ομοίως με το σχήμα αποθήκευσης CSR-DU, κωδικοποιούμε τα δεδομένα δομής του πίνακα σε έναν μοναδικό πίνακα, ο οποίος ονομάζεται ct1. Η επικεφαλίδα της κάθε περιοχής ξεκινά με δύο πεδία: το `usize`, που αναπαριστά το μέγεθος της περιοχής και το `uflags`, που περιέχει τον τύπο της περιοχής. Από τα 8 bits του `uflags`, τα 6 χρησιμοποιούνται για το είδος της κωδικοποίησης που έχει χρησιμοποιηθεί, ενώ τα 2 επόμενα σημειώνουν την ύπαρξη νέας γραμμής και

Algorithm 0.6: Διαδικασία επιλογής κανονικοτήτων για στο σχήμα CSX.

Input: Ο πίνακας $elems$ που περιέχει τα στοιχεία του αραιού πίνακα

Input: Ένα σύνολο $xforms$ από μετασχηματισμούς

```
while  $True$  do
   $score_{max} \leftarrow 0$ 
  foreach  $xf$  in  $xforms$  do
     $elems \leftarrow xf(elems)$ 
    sort( $elems$ )
     $score \leftarrow getScore(elems)$ 
    if  $score > score_{max}$  then
       $score_{max} \leftarrow score$ 
       $xf_{max} \leftarrow xf$ 
     $elems \leftarrow xf^{-1}(elems)$ 

  if  $score_{max} == 0$  then
    break
  encode  $elems$  using  $xf_{max}$ 
  remove  $xf_{max}$  from  $xforms$ 
```

την ύπαρξη “άλματος” από την προηγούμενη γραμμή. Το άλμα από την προηγούμενη γραμμή αποθηκεύεται ως ένας ακέραιος μεταβλητού μεγέθους, και είναι απαραίτητο διότι περιοχές με κατεύθυνση διαφορετική της οριζόντιας μπορεί να οδηγήσουν σε άδειες γραμμές. Τέλος, ένα πεδίο απόστασης από την προηγούμενη περιοχή ($ujmp$) προστίθεται στο τέλος της επικεφαλίδας. Μία περιοχή, ανάλογα με τον τύπο της, μπορεί να μην έχει σώμα. Για παράδειγμα, οι περιοχές DRLE δεν έχουν σώμα, ενώ οι περιοχές δέλτα έχουν.

Ρουτίνες πολλαπλασιασμού

Όπως έχει αναφερθεί και προηγουμένως, η πράξη $SrMxV$ για έναν πίνακα αποθηκευμένο σε CSX μπορεί να υλοποιηθεί σε δύο επίπεδα. Στο πρώτο επίπεδο διατρέχονται όλες οι περιοχές, ενώ στο δεύτερο επίπεδο πραγματοποιούνται οι απαραίτητες πράξεις ανάλογα με τον τύπο της εκάστοτε περιοχής. Σημειώνουμε ότι για την υλοποίηση διαφορετικών πράξεων, μόνο το δεύτερο επίπεδο χρειάζεται να αλλάξει. Στην υλοποίησή μας, οι περιοχές διατρέχονται με βάση τη σειρά των αρχικών τους στοιχείων, ενώ χρησιμοποιείται μία εντολή `switch` για τη μετάβαση από το πρώτο στο δεύτερο επίπεδο.

Για να καλύψουμε όλες τις πιθανές περιπτώσεις, χρησιμοποιούμε την τεχνική δημιουργίας κώδικα κατά το χρόνο εκτέλεσης (`run-time code generation`) [KEH91]. Η διαδικασία $SrMxV$ δημιουργείται μετά την κωδικοποίηση του πίνακα, ανάλογα με τους τύπους των περιοχών που χρησιμοποιούνται. Η υλοποίησή μας χρησιμοποιεί το πλαίσιο μεταγλώττισης LLVM [LLV, LA04]. Ένα βασικό στοιχείο του LLVM είναι η ενδιάμεση αναπαράσταση κώδικα. Η αναπαράσταση αυτή μοιάζει με γλώσσα μηχανής RISC και χρησιμοποιείται για την υλοποίηση των φάσεων βελτίωσης (`optimization passes`) και τη δημιουργία κώδικα μηχανής για διαφορετικά σύνολα εντολών. Στην υλοποίησή μας, αρχικά δημιουργείται ο κώδικας για τη διαδικασία $SrMxV$. Στη συνέχεια, ο κώ-

δικας βελτιώνεται και μεταγλωττίζεται δυναμικά σε γλώσσα μηχανής. Η διαδικασία αυτή μπορεί να επιταχυνθεί αποθηκεύοντας διαφορετικές εκδόσεις κώδικα της ρουτίνας σε μία μόνιμη κρυφή μνήμη, ώστε να δημιουργούνται μόνο την πρώτη φορά.

0.8.5 Περιορισμοί και επεκτάσεις

Το CSX είναι, γενικά, ένα ιδιαίτερα ευπροσάρμοστο σχήμα αποθήκευσης αραιών πινάκων, διότι υποστηρίζει πολλαπλούς τύπους κανονικοτήτων. Στην παρούσα υλοποίηση, η διαδικασία ανίχνευσης χρησιμοποιεί κωδικοποίηση DRLE και μετασχηματισμούς συντεταγμένων. Η προσέγγιση αυτή επιτρέπει την ενσωμάτωση διαφορετικών κανονικοτήτων, αν αυτές μπορούν να εκφραστούν ως μετασχηματισμοί. Για παράδειγμα, μία πιθανή επέκταση είναι η υποστήριξη διδιάστατων μπλοκ. Βέβαια, ο αλγόριθμος ανίχνευσης εισάγει σημαντική επιβάρυνση στην προεπεξεργασία του πίνακα, με αποτέλεσμα να περιορίζεται η εφαρμοσιμότητα της προσέγγισής μας σε πραγματικές συνθήκες.

Ωστόσο, υποστηρίζουμε ότι το κόστος προ-επεξεργασίας είναι δυνατό να μειωθεί τροποποιώντας τον αλγόριθμο ανίχνευσης. Ένα πρώτο βήμα σε αυτή την κατεύθυνση είναι να περιοριστεί η διαδικασία ανίχνευσης σε ένα — σταθερού μεγέθους — παράθυρο των στοιχείων του πίνακα. Αν το μέγεθος του παραθύρου είναι σταθερό, η ταξινόμηση των στοιχείων δεν επηρεάζει τη συνολική πολυπλοκότητα. Βέβαια, όταν η ανίχνευση περιορίζεται σε ένα παράθυρο σταθερού μεγέθους, είναι δύσκολο να γίνουν επιλογές, οι οποίες θα είναι έγκυρες σε καθολικό επίπεδο. Για παράδειγμα, κατά την επιλογή κανονικοτήτων ο αλγόριθμος είναι αδύνατο να αποφανθεί με βεβαιότητα για το εάν ένας συγκεκριμένος τύπος περιοχής θα μπορέσει να κωδικοποιήσει σημαντικό ποσοστό των συνολικών στοιχείων του πίνακα.

0.8.6 Πειραματική αξιολόγηση

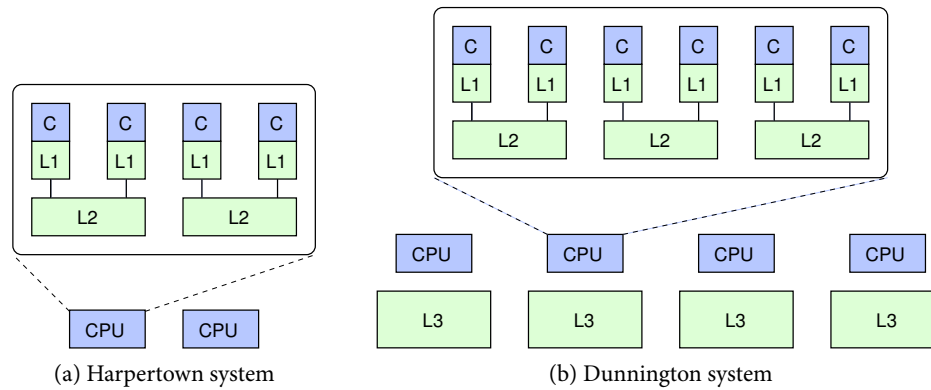
Περιβάλλον

Η πειραματική αξιολόγηση για το σχήμα CSX πραγματοποιείται σε δύο συστήματα: Το πρώτο έχει δύο επεξεργαστές Harpertown που έχουν τέσσερις πυρήνες (8 πυρήνες σύνολο) §, ενώ το δεύτερο έχει τέσσερις επεξεργαστές Dunnington που έχουν έξι πυρήνες (24 πυρήνες σύνολο). Τα Σχήματα 29a και 29b παρουσιάζουν τα διαγράμματα των επεξεργαστών, ενώ ο Πίνακας 9 περιέχει τα χαρακτηριστικά τους.

Και στα δύο συστήματα έχει εγκατασταθεί το λειτουργικό σύστημα Linux (έκδοση 2.6) για την αρχιτεκτονική x86_64. Χρησιμοποιήσαμε την έκδοση 2.5 του LLVM και την έκδοση 4.2.1 του `llvm-gcc` ως στατικό μεταγλωττιστή. Τα νήματα εκτελούνται πάντα σε πυρήνες που βρίσκονται όσο πιο κοντά γίνεται. Για παράδειγμα, στον επεξεργαστή Harpertown, τα δύο νήματα εκτελούνται σε πυρήνες που μοιράζονται την L2, ενώ τα τέσσερα νήματα εκτελούνται στον ίδιο επεξεργαστή. Σε ό,τι αφορά το CSX, η διαδικασία επιλογής πραγματοποιείται ξεχωριστά για κάθε νήμα και το όριο για την ομαδοποίηση στοιχείων σε μία περιοχή DRLE είναι 4. Κατά τα άλλα, το πειραματικό περιβάλλον είναι όμοιο με τα προηγούμενα: χρησιμοποιούμε δείκτες 32-bit και τιμές 64-bit, μετράμε την επίδοση 128 συνεχόμενων πράξεων `SrMxV`, χρησιμοποιούμε το διά-

§Το σύστημα αυτό είναι το ίδιο με αυτό που χρησιμοποιήθηκε σε προηγούμενα πειράματα.

νυσμα y ως το διάνυσμα x της επόμενης επανάληψης, και χρησιμοποιούμε 50 αραιούς πίνακες (Πίνακας 3).



Σχήμα 29: Ιεραρχία μνήμης των συστημάτων που χρησιμοποιήθηκαν στην πειραματική αξιολόγηση του σχήματος CSX.

	Harperton	Dunnington
Συχνότητα (Ghz)	2.0	2.66
L1 (δεδομένα/εντολές)	32k/32k	32k/32k
L2	6M (1/2 πυρήνες)	3M (1/2 πυρήνες)
L3	-	16M (1/επεξεργαστή)
Αριθμός πυρήνων	$2 \times 4 = 8$	$4 \times 6 = 24$

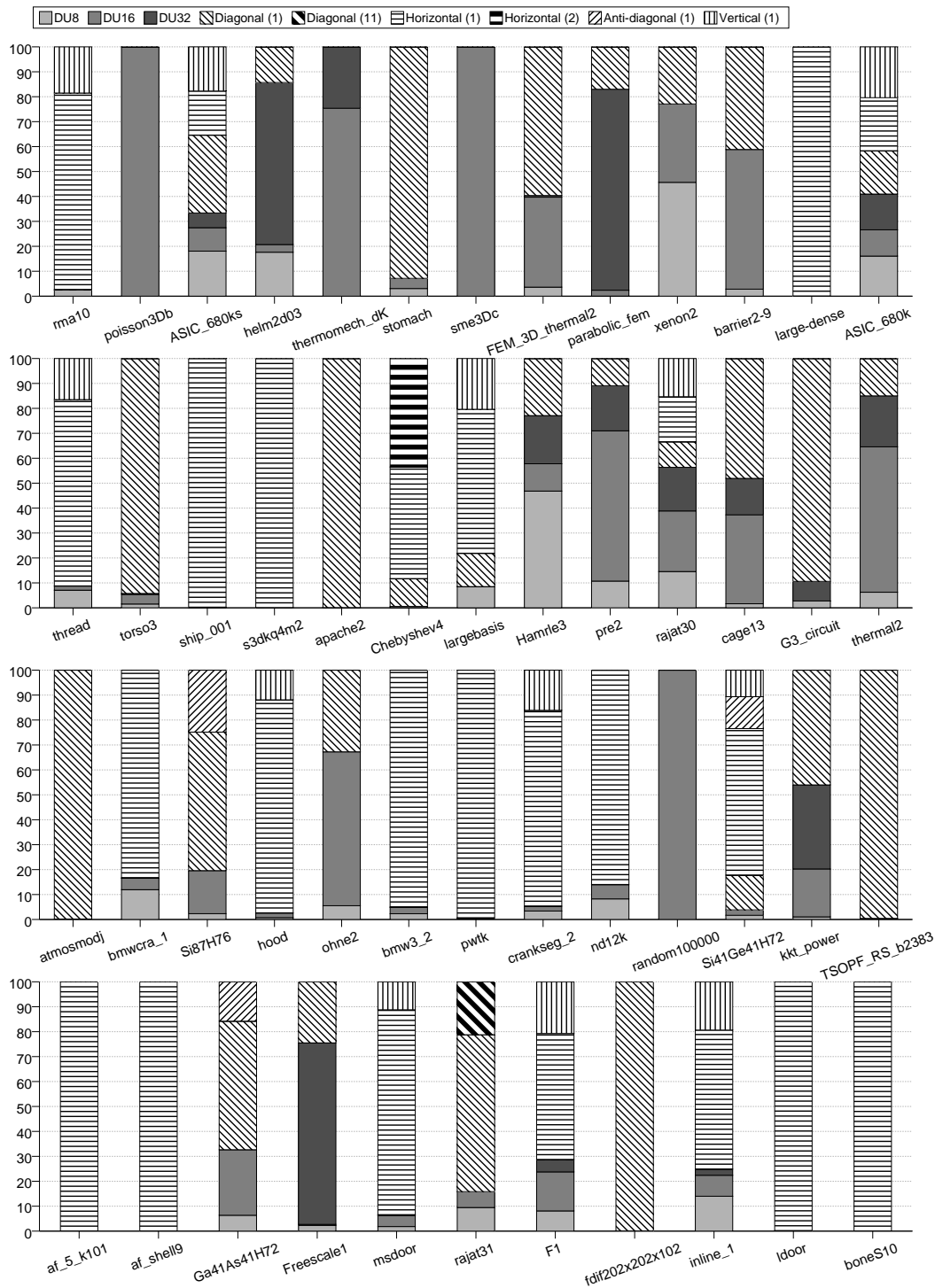
Πίνακας 9: Χαρακτηριστικά των συστημάτων που χρησιμοποιήθηκαν στην πειραματική αξιολόγηση του σχήματος CSX.

Κωδικοποίηση CSX

Αρχικά, εξετάζουμε την αποτελεσματικότητα του CSX, όσον αφορά την ικανότητα του να περιγράφει αποτελεσματικά τα στοιχεία των πινάκων. Το Σχήμα 30 παρουσιάζει το ποσοστό των στοιχείων για κάθε τύπο περιοχής που επιλέχτηκε, κατά την εκτέλεση του αλγορίθμου ανίχνευσης για ένα νήμα. Οι περιοχές δέλτα σημειώνονται με Dx , όπου x ο αριθμός των bits που χρησιμοποιήθηκαν για τις κωδικοποιημένες τιμές. Αντίστοιχα, οι περιοχές DRLE σημειώνονται με $DIR(\delta)$, όπου DIR η κατεύθυνση και δ η αντίστοιχη απόσταση των στοιχείων.

Παρατηρούμε ότι ένα σημαντικό ποσοστό στοιχείων των πινάκων του συνόλου που εξετάζουμε μπορεί να κωδικοποιηθεί χρησιμοποιώντας περιοχές DRLE. Η πλειονότητα των στοιχείων κωδικοποιούνται σε οριζόντια, κάθετη ή διαγώνια κατεύθυνση με $\delta = 1$. Υπάρχουν μερικές περιπτώσεις, όπου τα στοιχεία κωδικοποιούνται με αντί-διαγώνια κατεύθυνση (π.χ. Ga41As41H72) ή με $\delta \neq 1$ (π.χ. Chebyshev4), αλλά σε γενικές γραμμές οι περιπτώσεις αυτές είναι περιορισμένες.

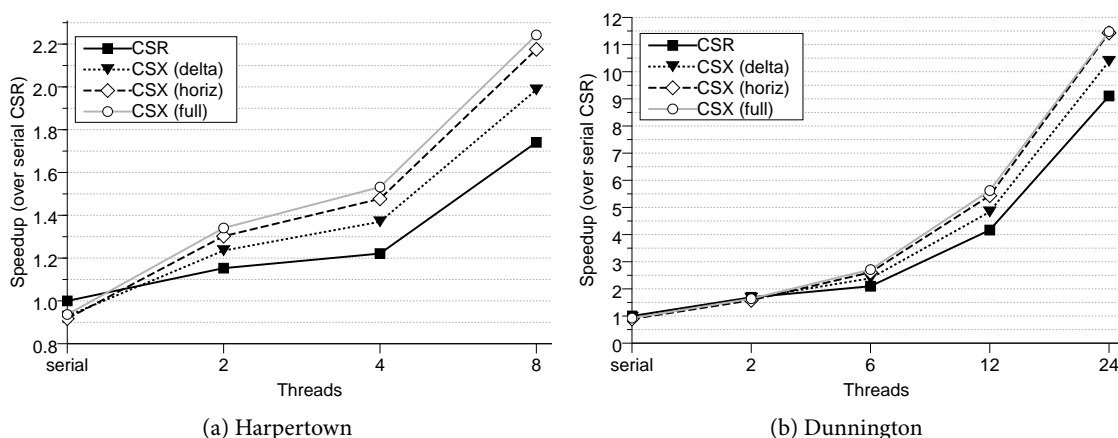
Στη συνέχεια, παρουσιάζουμε τα αποτελέσματα της επίδοσης του πυρήνα SpMxV για το σχήμα CSX. Θεωρούμε τρεις παραλλαγές του CSX: (α) χωρίς περιοχές DRLE (δ), (β) μόνο με



Σχήμα 30: Ποσοστό στοιχείων με βάση την κωδικοποίησή τους στο σχήμα CSX.

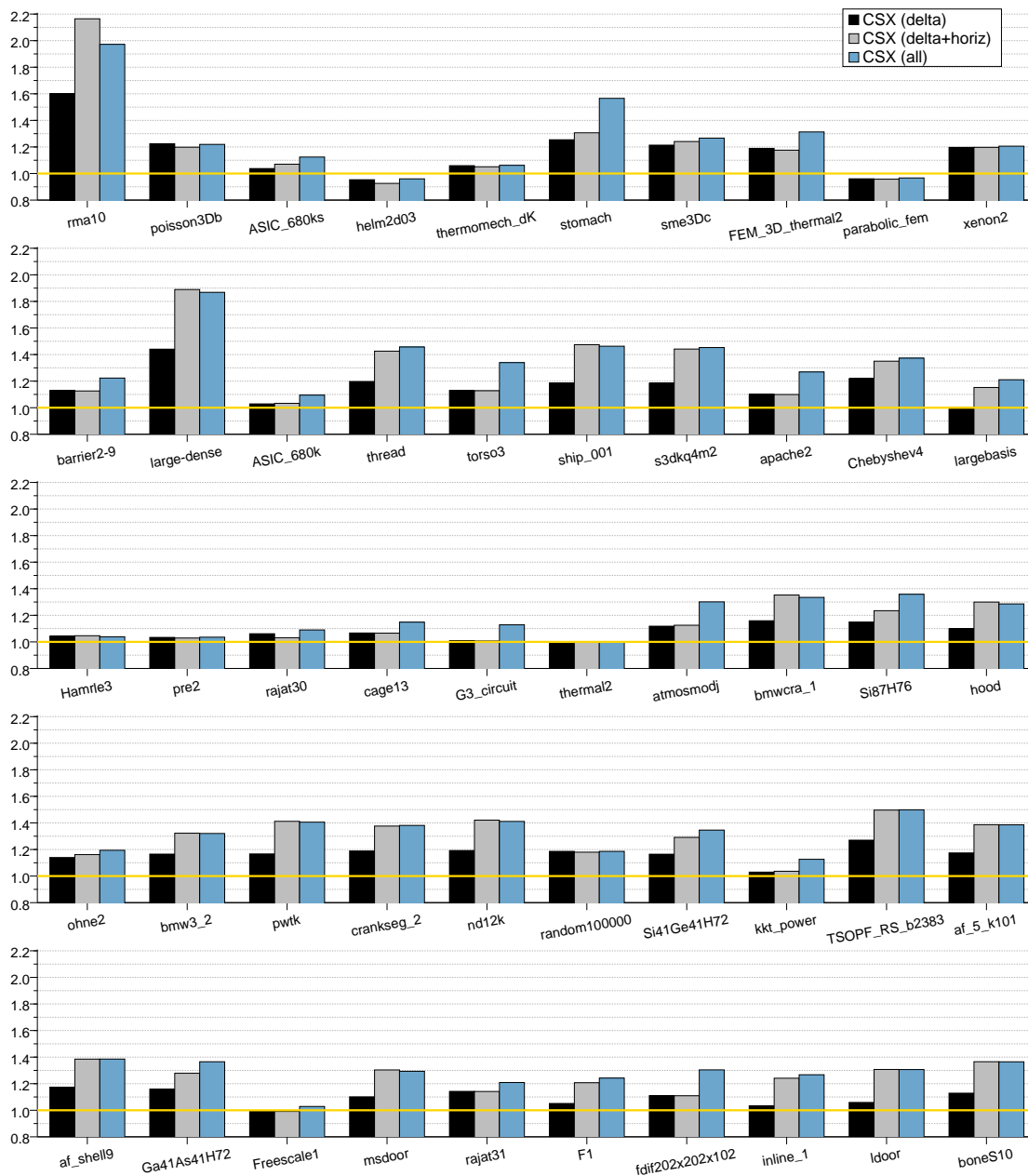
οριζόντιες περιοχές DRLE (*horiz*) και (γ) με όλες τις διαθέσιμες περιοχές DRLE (*full*). Η μέση επιτάχυνση για τις παραπάνω μεθόδους παρουσιάζεται στα Σχήματα 31a (Harpertown) και 31b (Dunnington).

Τα δύο συστήματα παρουσιάζουν παρόμοια συμπεριφορά. Κατά μέσο όρο, οι εκδόσεις *delta* και *horiz* οδηγούν σε σημαντική βελτίωση της μέσης παράλληλης επιτάχυνσης. Όταν όλα τα νήματα χρησιμοποιούνται στο σύστημα Harpertown, η μέση επιτάχυνση των *delta* και *horiz* είναι 1,99 και 2.17 και αποτελούν βελτίωση σε σύγκριση με το CSR κατά ποσοστό 14% και 25%, αντίστοιχα. Οι αντίστοιχες επιταχύνσεις για το σύστημα Dunnington είναι 10.38 και 11.43 και επιτυγχάνουν περίπου τα ίδια ποσοστά βελτίωσης σε σχέση με το CSR. Ωστόσο, η έκδοση *full* παρουσιάζει περιορισμένα οφέλη σε σχέση με την έκδοση *horiz*. Η αιτία για το παραπάνω είναι ότι η πλειονότητα των πινάκων του συνόλου που χρησιμοποιούμε περιέχει μεγάλο ποσοστό από οριζόντια στοιχεία. Για αυτούς τους πίνακες, περαιτέρω συμπίεση δεν οδηγεί σε σημαντική αύξηση της επίδοσης.



Σχήμα 31: Μέση επιτάχυνση για τα σχήματα CSR και CSX σε σχέση με το σειριακό CSR.

Από την άλλη, η έκδοση *full* του CSX βελτιώνει σημαντικά την επίδοση πινάκων που δεν περιέχουν οριζόντια στοιχεία. Αναλυτικά αποτελέσματα για κάθε πίνακα στο σύστημα Harpertown παρουσιάζονται στο Σχήμα 32, το οποίο αφορά τη βελτίωση της επίδοσης των εκδόσεων CSX, όταν χρησιμοποιούνται όλοι οι διαθέσιμοι πυρήνες. Το διάγραμμα δείχνει την παρουσία πινάκων, για τους οποίους η έκδοση *full* επιτυγχάνει σημαντική βελτίωση σε σχέση με τις υπόλοιπες εκδόσεις του CSX. Παραδείγματα τέτοιων πινάκων είναι οι: *stomach*, *torso3*, *apache2*, *G3_circuit*, *atmosmodj* και *S187H76*, οι οποίοι περιέχουν κυρίως διαγώνια στοιχεία.



Σχήμα 32: Βελτίωση της επίδοσης του πυρήνα SpMxV για το σχήμα CSX συγκρινόμενο με το σχήμα CSR σε όλους τους πίνακες, όταν χρησιμοποιούνται και οι 8 πυρήνες στο σύστημα Harpertown.

0.9 Σχετικές εργασίες

0.9.1 Σειριακή εκτέλεση SpMxV

Ο πυρήνας SpMxV αποτελεί αντικείμενο πολλών ερευνητικών εργασιών, εξαιτίας της σπουδαιότητά του. Έχουν προταθεί διάφορα εναλλακτικά σχήματα αποθήκευσης, όπως το CDS (Compressed Diagonal Storage), το Ellpack-Itpack, και το JAD (Jagged Diagonal) [PRdB89, BBC⁺94, Saa03]. Τα σχήματα αυτά στοχεύουν στην αξιοποίηση ειδικών χαρακτηριστικών των πινάκων, ώστε να μειώσουν τον όγκο δεδομένων του αραιού πίνακα και να βελτιώσουν την επίδοση του πυρήνα SpMxV. Επιπρόσθετα, υπάρχει πληθώρα εργασιών που εξετάζει τεχνικές βελτίωσης της επίδοσης του πυρήνα SpMxV. Αρκετές από αυτές [Tol97, PH99, IY01, VDY⁺02, VM05] αποσκοπούν στη αντιμετώπιση των μη-κανονικών και έμμεσων προσβάσεων στο διάνυσμα x , χρησιμοποιώντας μεθόδους όπως αναδιάταξη στοιχείων, τεμαχισμό σε επίπεδο καταχωρητών (register blocking) και τεμαχισμό σε επίπεδο κρυφής μνήμης (cache blocking). Άλλες εργασίες [WS97, MCG04] ασχολούνται με τα προβλήματα επίδοσης που δημιουργούνται σε πίνακες, στους οποίους μεγάλο ποσοστό των γραμμών τους έχουν μικρό πλήθος στοιχείων.

0.9.2 Συμπύση δεδομένων δομής

Ένα σημαντικό μέρος των τεχνικών βελτίωσης της επίδοσης του πυρήνα SpMxV που εξετάζονται στη βιβλιογραφία έχουν ως αποτέλεσμα τη μείωση του όγκου των δεδομένων δομής. Τέτοια περίπτωση αποτελεί το σχήμα BCSR, το οποίο χρησιμοποιεί ένα δείκτη ανά μπλοκ, αντί για ένα δείκτη ανά στοιχείο. Ωστόσο, ο αρχικός σκοπός του BCSR ήταν η βελτίωση της σειριακής επίδοσης και όχι η μείωση του όγκου των δεδομένων εργασίας. Για αυτό το λόγο η χρήση του σχήματος BCSR, ως τεχνική συμπίεσης των δεδομένων δομής, έχει μειονεκτήματα. Αρχικά, όπως είδαμε, ανάλογα με τη δομή του πίνακα και το σχήμα μπλοκ που έχει επιλεγεί, μπορεί να οδηγήσει σε αύξηση του όγκου δεδομένων του πίνακα. Επιπρόσθετα, βασίζεται σε μπλοκ σταθερού μεγέθους για το σύνολο των στοιχείων του πίνακα και άρα έχει περιορισμένες δυνατότητες προσαρμογής σε πολύπλοκες δομές. Οι Pinar και Heath [PH99] περιγράφουν ένα σχήμα αποθήκευσης που χρησιμοποιεί μονοδιάστατα μπλοκ μεταβλητού μεγέθους, όμοια με τις περιοχές συνεχόμενων στοιχείων του CSR-DU. Επιπρόσθετα, προτείνουν τεχνικές αναδιάταξης των στηλών, στοχεύοντας στη τοποθέτηση των στοιχείων σε διαδοχικές θέσεις.

Μία από τις λίγες εργασίες που ρητά στοχεύουν στη μείωση του όγκου των δεδομένων δομής είναι η [WL06]. Σε αυτή την εργασία, οι Willcock και Lumsdaine προτείνουν δύο σχήματα αποθήκευσης: το DCSR, το οποίο συμπιέζει τους δείκτες στηλών χρησιμοποιώντας κωδικοποίηση δέλτα σε επίπεδο byte και το RPCSR, το οποίο γεννά εξειδικευμένο κώδικα για κάθε πίνακα και εφαρμόζει επιθετική υψηλού-κόστους συμπίεση δεδομένων. Η δική μας προσέγγιση διαφοροποιείται στο ότι χρησιμοποιεί την ιδέα των περιοχών, που οδηγεί σε απλούστερη υλοποίηση και πιο σταθερή επίδοση. Μία, πιο πρόσφατη εργασία, που επίσης στοχεύει στη βελτίωση της επίδοσης του πυρήνα SpMxV είναι η [BBR09], στην οποία παρουσιάζεται ένα σχήμα αποθήκευσης βασισμένο σε επαναλαμβανόμενα μοτίβα (patterns).

0.9.3 Συμπύεση αριθμητικών τιμών

Παρόλο που, στη συνήθη περίπτωση, οι αριθμητικές τιμές αποτελούν το μεγαλύτερο μέρος του όγκου του συνόλου εργασίας, οι εργασίες που στοχεύουν στη συμπύεση τους είναι περιορισμένες. Οι Lee κ.ά. [LVDY04] εξετάζουν την εκμετάλλευση της συμμετρίας, η οποία μειώνει τον όγκο των δεδομένων του πίνακα στο μισό. Οι Moloney κ.ά. [MGMM05] εξετάζουν τεχνικές συμπύεσης που αφορούν δεδομένα δομής και δεδομένα τιμών, και στοχεύουν στη βελτίωση της επίδοσης του SpMxV, χρησιμοποιώντας εξειδικευμένους επιταχυντές, υλοποιημένους σε υλικό. Τέλος, σχετικές εργασίες είναι και οι [Key00] και [LLL⁺06], οι οποίες εξετάζουν τη χρήση τιμών μονής-ακρίβειας, όπου αυτό είναι δυνατό.

0.9.4 Υλοποίηση SpMxV σε αρχιτεκτονικές μοιραζόμενης μνήμης

Σε ό,τι αφορά τη πολυνηματική υλοποίηση του πυρήνα SpMxV, οι εργασίες του παρελθόντος κυρίως ασχολούνται με την αξιολόγηση σειριακών τεχνικών βελτίωσης και τεχνικών αναδιάταξης [IY99, GR99, PHCR04, CA96]. Οι Williams κ.ά. [WOV⁺07, WOV⁺09] αξιολογούν την επίδοση του SpMxV σε ένα πλούσιο σύνολο από παράλληλες αρχιτεκτονικές μοιραζόμενης μνήμης, χρησιμοποιώντας διαφορετικές τεχνικές βελτίωσης. Στα συμπεράσματά τους αναφέρουν τον περιορισμένο ρυθμό μεταφοράς από τη μνήμη, ως βασικό πρόβλημα επίδοσης του πυρήνα.

0.10 Συμπεράσματα και μελλοντικές κατευθύνσεις

Μια από τις σημαντικότερες στενωπούς των πολυπύρηνων αρχιτεκτονικών είναι η κύρια μνήμη, διότι προσπελάζεται από όλους τους πυρήνες. Για τη πλειονότητα των εφαρμογών, το πρόβλημα αυτό λύνεται μέσω της ιεραρχίας μνήμης, η οποία περιορίζει τις προσβάσεις στη μνήμη. Στην εργασία αυτή, ασχολούμαστε με εφαρμογές που (α) δεν μπορούν να επωφεληθούν από τις κρυφές μνήμες, εξαιτίας περιορισμένης χρονικής τοπικότητας αναφορών και (β) χαρακτηρίζονται από χαμηλό λόγο εντολών επεξεργασίας προς εντολών πρόσβασης στη μνήμη. Οι εφαρμογές αυτές, γενικά, παρουσιάζουν προβληματική επίδοση σε αρχιτεκτονικές μοιραζόμενης μνήμης, ακόμα και αν η παραλληλοποίησή τους δημιουργεί αμελητέα επιβάρυνση.

Η παρούσα εργασία εξετάζει τη χρησιμοποίηση τεχνικών συμπύεσης για την αντιμετώπιση του προαναφερθέντος ζητήματος, θυσιάζοντας (επεκτάσιμο) χρόνο επεξεργασίας για τη μείωση των δεδομένων που χρειάζεται να μεταφερθούν από την κύρια μνήμη. Εφαρμόζουμε την τακτική αυτή στον υπολογιστικό πυρήνα SpMxV, που αποτελεί τη βάση πολλών επιστημονικών εφαρμογών. Προτείνουμε δύο σχήματα αποθήκευσης αραιών πινάκων: το CSR-DU, το οποίο συμπιέζει τα δεδομένα δομής του πίνακα και το CSR-VI, το οποίο συμπιέζει τις αριθμητικές τιμές του πίνακα. Συγκεκριμένα, το CSR-DU χρησιμοποιεί κωδικοποίηση δέλτα χοντρού κόκκου και προαιρετικά επιτρέπει τον ορισμό μεταβλητού μεγέθους μονοδιάστατων μπλοκ. Το CSR-VI εφαρμόζει έμμεση προσπέλαση των αριθμητικών τιμών σε πίνακες με μικρό αριθμό μοναδικών τιμών. Επιπρόσθετα, εξετάζουμε και το συνδυασμό των δύο παραπάνω σχημάτων (CSR-DUVI). Τα αποτελέσματα της πειραματικής αξιολόγησης που πραγματοποιήσαμε δείχνουν ότι οι προτεινόμενες μέθοδοι οδηγούν σε σημαντική αύξηση της επίδοσης, όταν χρησιμοποιούνται όλοι οι διαθέσιμοι πυρήνες.

Επίσης, πραγματοποιούμε ένα πρώτο βήμα προς τη κατεύθυνση ενός γενικευμένου σχήματος αποθήκευσης, το οποίο μπορεί να προσαρμοστεί σε διαφορετικά χαρακτηριστικά του εκάστοτε αραιού πίνακα. Το σχήμα αυτό, που καλούμε CSX, χρησιμοποιεί κωδικοποίηση δέλτα και περιορισμό των επαναλαμβανόμενων τιμών σε διαφορετικές κατευθύνσεις. Το CSX είναι, γενικά, ευέλικτο και μπορεί να επεκταθεί ώστε να υποστηρίξει και κανονικότητες διαφορετικών τύπων. Η πειραματική αξιολόγηση που πραγματοποιήθηκε έδειξε ότι η εφαρμογή του CSX μπορεί να συνεισφέρει σημαντικά στη βελτίωση της επίδοσης του πυρήνα SpMxV, για πίνακες που δεν περιλαμβάνουν οριζόντιες δομές.

Στη συνέχεια παρουσιάζουμε πιθανές μελλοντικές ερευνητικές κατευθύνσεις

- *Πλαίσιο για προσαρμόσιμο πυρήνα SpMxV*: Η μέγιστη επίδοση του πυρήνα SpMxV εξαρτάται από δύο παράγοντες: τη φύση του αραιού πίνακα και την αρχιτεκτονική εκτέλεσης. Η παρούσα εργασία εστιάζει σε πίνακες που περιέχουν τιμές κινητής υποδιαστολής διπλής ακρίβειας, και σε αρχιτεκτονικές που αδυνατούν να παρέχουν τον απαιτούμενο ρυθμό μεταφοράς δεδομένων, όταν χρησιμοποιούνται όλοι οι πυρήνες. Αν και οι συνθήκες αυτές είναι ιδιαίτερα συχνές, δεν είναι καθολικές και υπό διαφορετικές συνθήκες η επίδραση των τεχνικών βελτίωσης διαφέρει. Για παράδειγμα, η συμπίεση δεδομένων δομής αναμένεται να έχει μικρότερη επίδραση στην επίδοση αραιών πινάκων με μιγαδικές τιμές, ενώ το αντίθετο ισχύει για πίνακες με ακέραιες τιμές.

Συνεπώς, μία ιδανική υλοποίηση του πυρήνα SpMxV θα πρέπει να μπορεί να προσαρμοστεί σε διαφορετικές συνθήκες (π.χ. συμμετρία πίνακα, τύπος δεδομένων πίνακα, αριθμός χρησιμοποιούμενων νημάτων, χαρακτηριστικά της υποκείμενης αρχιτεκτονικής). Υποστηρίζουμε ότι το σχήμα CSX αποτελεί καλή αφετηρία για μία τέτοια προσέγγιση.

- *Υποστήριξη διαφορετικών πράξεων αραιών πινάκων*: Αν και η πράξη SpMxV είναι ιδιαίτερα σημαντική για αραιούς πίνακες, δεν είναι η μόνη. Θεωρούμε ότι η παρούσα εργασία, και ειδικότερα το σχήμα CSX, μπορεί να χρησιμοποιηθεί για τη βελτίωση της επίδοσης και άλλων πράξεων αραιών πινάκων. Στηρίζουμε την αξίωση αυτή στο ότι το CSX αποθηκεύει τα δεδομένα του πίνακα χρησιμοποιώντας αναπαράσταση υψηλότερου σημασιολογικού επιπέδου, χαρακτηριστικό που αποτελεί απαραίτητη προϋπόθεση για τον εντοπισμό και την εκμετάλλευση ευκαιριών βελτίωσης της επίδοσης. Ένα σχετικό, αλλά πιο δύσκολο ερευνητικό πρόβλημα, είναι η δημιουργία κατάλληλων αναπαραστάσεων για τα δεδομένα και τις πράξεις, ώστε να είναι δυνατή η αυτόματη σύνθεσή τους.
- *Εφαρμογή τεχνικών συμπίεσης και σε άλλες κλάσεις υπολογισμών*: Όσο οι πολυπύρρηνοι επεξεργαστές καθιερώνονται και αυξάνεται ο αριθμός των πυρήνων, αναμένεται να αυξηθεί ο αριθμός των εφαρμογών που παρουσιάζουν μειωμένη επίδοση εξαιτίας του περιορισμένου ρυθμού μεταφοράς δεδομένων από τη κύρια μνήμη. Αν και οι τεχνικές συμπίεσης δεν είναι κατάλληλες για όλες τις εφαρμογές, θεωρούμε ότι μπορούν να έχουν εφαρμογή και σε άλλες περιοχές υπολογιστικών προβλημάτων. Παραδείγματα τέτοιων περιοχών είναι οι γράφοι και οι βάσεις δεδομένων — ιδιαίτερα σε περιβάλλοντα, στα οποία κυριαρχούν οι αναγνώσεις.

Introduction

1

*In the beginning the Universe was created.
This has made a lot of people very angry
and been widely regarded as a bad move.*

Douglas Adams

Moore's law describes a historical trend in processor technology, where the number of transistors that can be placed inexpensively on an integrated circuit doubles every two years. Until recently, microprocessor designers have used the extra available transistors to improve serial performance via frequency scaling and exploitation of instruction-level parallelism (ILP) using techniques such as out-of-order execution, deep pipelines and sophisticated branch prediction. In recent years, however, it has become difficult for this approach to achieve a desirable level of performance improvement due to reasons such as heat and power budget constraints, design complexity, and the reduced inherent ILP in user applications.

Although there were some recent research efforts aimed at boosting serial performance (e.g., [CSC⁺05]), the industry seems to have decided that this approach is a dead end. Instead, architects turned to processors that incorporate multiple, usually simpler, cores in a single die. The resulting processors are called chip multiprocessors (CMPs) or multicores [ONH⁺96] and are becoming the norm in microprocessor design [PDG06, Gee05]. Multicore processors are able to remain within power constraints and keep benefiting from Moore's law by using the extra transistors to add more cores. Essentially, instead of trying to exploit ILP, multicore processors aim at the exploitation of a higher level of parallelism: thread-level parallelism (TLP).

This change in processor design has created a noticeable stir in the software world. Until now, application performance was able to benefit from advances in processor design without the need for programmers to modify their software. As multicore designs become the standard, programmers need to adapt by abandoning single-thread programming and incorporate concurrency into their programs [Sut05, OH05, ABD⁺09]. The expected impact of this microprocessor technology shift in software is illustrated by Olukotun and Hammond in the conclusion of their article [OH05]:

“ [...] *the transition to CMPs is inevitable because past efforts to speed up processor architectures with techniques that do not modify the basic von Neumann computing model, such as pipelining and superscalar issue, are encountering hard limits. As a result, the microprocessor industry is leading the way to multicore architectures; however, the full benefit of these architectures will not be harnessed until the software industry fully embraces parallel programming. The art of multiprocessor programming, currently mastered by only a small minority of programmers, is more complex than programming uniprocessor machines and requires an understanding of new computational principles, algorithms, and programming tools.*”

There are two major aspects of the transition to the multiprocessor programming paradigm that need to be considered: programmability and performance. Parallel programming is generally considered a hard and counter-intuitive task [MGM⁺09]. Hence, since parallel platforms are becoming ubiquitous, the need for new software practices and tools that make the programmer’s life easier emerges [SL05]. For example the transactional memory approach [Gro07, ATKS07] aims at simplifying parallel programming by replacing explicit locking with transactions. Nevertheless, programmability alone is not enough. It is important to ensure that application performance can scale as core count increases.

In this thesis, we tackle performance issues. Our work aims at improving the performance of *memory-intensive* applications — applications whose performance bottleneck is (main) memory bandwidth.* Memory-intensive applications usually have a low ratio of computation operations to memory accesses and they are characterized by poor temporal locality. On multicore systems these applications will frequently perform poorly, even if their parallelization does not create significant overhead. The reason for this is the inability of most systems to deliver the required data transfer rate when all cores simultaneously access main memory. The resulting delays will hurt performance, especially if memory accesses are loads that subsequent instructions depend upon.

We direct our efforts towards sparse computations, an important application domain of scientific computing. Sparse computations are used in several applications (e.g., partial differential equation solvers) and are usually concerned with sparse matrices, i.e. matrices that contain a large number of zeroes. Specifically, we target the performance improvement of the sparse matrix-vector multiplication kernel (SpMxV). This computational kernel, although very simple in its essence, is difficult to optimize and has attracted much attention from researchers due to its importance [AGZ92, TJ92, CA96, Tol97, WS97, PH99, IY99, Im00, GR99, IY01, VDY⁺02, Vud03, MCG04, PHCR04, PHCR05, BELF07, VM05, KHK⁺05, WL06, WOV⁺09, Wil08, BBR09, KGK09b, KGK09a].

1.1 Contribution

This work explores the use of compression, i.e. data volume reduction techniques, to improve the execution time of memory-intensive applications. The main challenge in this endeavor, as well

*We will use the term “*memory-intensive*” throughout this text to refer to applications whose main performance impediment is memory bandwidth. Note, however, that in different contexts, this term may have a different meaning.

as what differentiates our approach from typical compression schemes, is that size reduction is not adequate to ensure success; we aim to improve performance, i.e., reduce execution time. In other words, any possible computational overhead (e.g., decompression cost) should be amortized before a method is deemed successful.

The contribution of this dissertation is summarized below:

- We investigate compression as a means to improve performance of memory-intensive applications by alleviating contention on the memory subsystem. We outline the requirements for such an optimization to be successful and we examine its relevancy on multicore systems.
- We study the performance behavior of the SpMxV kernel arguing that: (a) its performance is restrained by limited memory bandwidth and that (b) it is a good candidate for applying compression schemes to improve its scalability.
- We propose the CSR-DU sparse matrix storage format. CSR-DU compresses matrix structural data by applying coarse-grained delta encoding and exploiting contiguous elements.
- Based on the observation that several sparse matrices contain a significant number of common numerical values we propose CSR-VI: a specialized storage format that employs indirect indexing to compress matrix values. Since CSR-DU operates on structural data, while CSR-VI operates on numerical values, we also consider a combination of these two formats called CSR-DUVI.
- Finally, we attempt a first step towards a storage format that can support arbitrary compression schemes. We call this format CSX and discuss an initial implementation for compression schemes based on delta run-length encoding on multiple directions.

1.2 Outline

The thesis is organized as follows:

Chapter 2 builds the case for using compression to improve the performance of multithreaded memory-intensive applications. First, we provide a brief overview of shared memory systems and show the scalability problems of applications with large memory bandwidth requirements. Next, we describe the proposed compression approach and discuss necessary conditions for its success. The chapter ends with a case study of our method using bitwise operations on bitmap indices.

Chapter 3 provides an introduction to sparse computations. We present several well-established sparse matrix storage formats, as well as their corresponding SpMxV implementations.

Chapter 4 is concerned with the performance of the SpMxV kernel on multicore systems. First, we discuss the kernel's implementation and analyze its performance characteristics. Next, we introduce our experimental setup and present the results of a performance evaluation which shows that SpMxV's performance is restrained by limited memory bandwidth.

Chapter 5 presents the CSR-DU storage format — our approach for compressing the structural data of a sparse matrix using delta encoding. It starts with a discussion of our motivation and continues with the definition of the format. Several aspects of the format are shown, including an extension for exploiting sequential elements. An experimental evaluation is also performed where it is established that CSR-DU can provide significant performance benefits for multithreaded SpMxV.

Chapter 6 presents the CSR-VI storage format which applies compression to the numerical values of matrices. Initially, we discuss the motivation behind our approach and, since not all matrices are suitable for value compression, the conditions under which CSR-VI can be beneficial. An experimental evaluation shows significant performance benefits for both CSR-VI and its combination with CSR-DU (CSR-DUVI).

Chapter 7 discusses our initial approach towards a unified storage format called CSX. CSX utilizes matrix-specific SpMxV routines and aims to support arbitrary compression schemes. We discuss several classes of structural patterns and we present a general, yet relatively expensive, approach for substructure detection. The chapter is concluded with a performance evaluation.

Finally, Chapter 8 summarizes conclusions and briefly discusses future work directions.

Background and key ideas

2.1 Shared memory systems

Shared memory systems [CS99, HP07] are a family of parallel architectures where multiple processors operate on the same main memory. Until a few years ago, shared memory systems were implemented, almost exclusively, via symmetric multiprocessing (SMP). SMP systems comprise of two or more identical processors that connect to a single main memory, usually via a bus or similar interconnect (see Figure 2.1a). As in all shared memory systems, a cache coherence protocol is responsible of maintaining data integrity between processor caches. The centralized memory and the memory bus constitute the main performance bottleneck of SMP systems because requests from different processors need to be serialized.

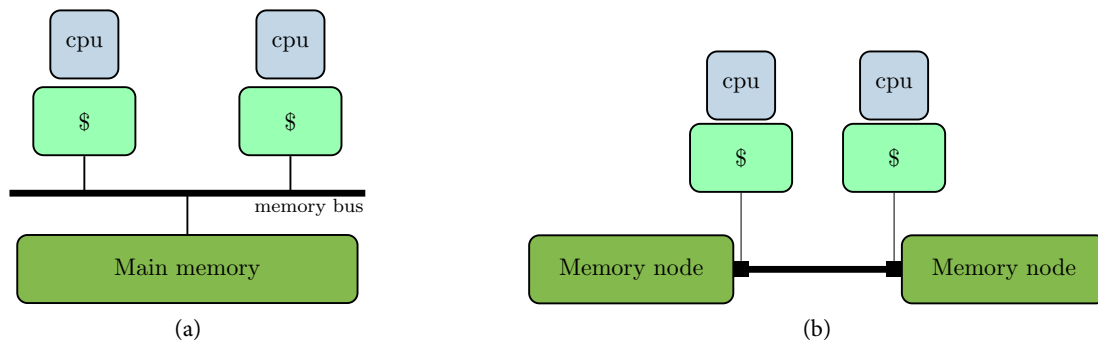


Figure 2.1: Typical shared memory systems. (a) an SMP system, (b) a NUMA system.

Hence, as the number of processing elements that share the memory increases, CPU designers turn to more scalable designs like Non-Uniform Memory Access (NUMA) architectures (see Figure 2.1b), where the memory is distributed among different nodes that are connected via a scalable interconnect (e.g., interconnects based on point to point links). In principle, each NUMA node is *local* to a set of CPUs, and access to memory in this node is faster than access to *remote* nodes. Obviously, this architecture mitigates the memory bandwidth bottleneck, since it allows different CPUs to operate on different NUMA nodes. In general, these systems fall in the cate-

gory of shared memory systems since they provide a coherent unified view of memory for the programs, and is up to the programmer or the operating system to distribute data in different nodes to maximize performance.

The previous paragraph discussed shared memory configurations for separate processor chips. These chips however can, and probably will given the recent multicore trend, implement CMP, i.e., contain multiple processing cores that share a part of the cache hierarchy. For example, Figure 2.2 illustrates a quad-core processor. Each core in this example has its own private L1 cache, and two pairs of cores share two L2 caches. The chip may connect directly to the main memory interconnection network, or via an off-chip cache that is shared between all processor cores. Cache sharing is an important factor of the system's performance and can be either constructive or destructive, depending on the application and on whether threads scheduled on the cores that share a cache operate on common data or not. Evidently, multicore processors intensify the performance problem of concurrent accesses to main memory.

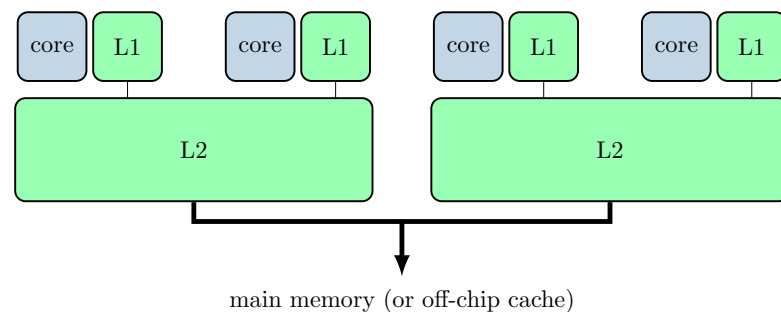


Figure 2.2: An example of a multicore processor with 4 cores. Each core has its own L1 cache and there are two L2 caches shared by two cores

2.2 Application scaling on shared memory systems

As it is illustrated by Amdahl's law the possible speedup of an application in a parallel architecture is limited by the sequential fractions of the program. It is possible, however, that a shared memory architecture results in serialization of program fractions that are, from the perspective of the programmer, parallel. For example, in an SMP system that interconnects the various processors via a bus, requests to main memory will be serialized. Hence, even if a program does not contain any explicit serial fractions, it is possible that it would not scale linearly — as expected — in a shared memory system. In the following paragraphs we discuss the implicit scalability problem that arises in shared memory architectures, even for fully parallelizable applications without data dependencies.

The scalability behavior of a parallel application in a shared memory environment depends on its data access pattern. Applications with no data dependencies and good temporal locality scale well, since each core can work independently using local data residing in its cache, without interfering with the operation of other cores. An example of a computational kernel with these characteristics is matrix multiplication (MxM). The straightforward implementation of matrix

```

for (i=0; i<N; i++)
  for (j=0; j<N; j++)
    for (k=0; k<N; k++)
      C[i][j] += A[i][k] * B[k][j];

```

Listing 2.1: Matrix multiplication for $N \times N$ matrices

multiplication ($C = AB$) for square matrices $N \times N$ matrices is presented in Listing 2.1.

Matrix multiplication performs $\mathcal{O}(N^3)$ operations on $\mathcal{O}(N^2)$ data and is generally considered a cache-friendly algorithm due to its spatial locality. A blocking transformation is usually applied (see A.1) to ensure that the data will be reused before they are evicted from the cache. Moreover, matrix multiplication can be performed in a completely parallel fashion without data dependencies between execution threads. As a result, MxM generally exhibits very good scalability. Figure 2.3, presents scalability results for MxM on two different multicore systems. The first system consists of two quad-core processors (8 cores total), while the second consists of four 6-core processors (24 cores total). A more detailed description of the systems is provided in 7.5.1.

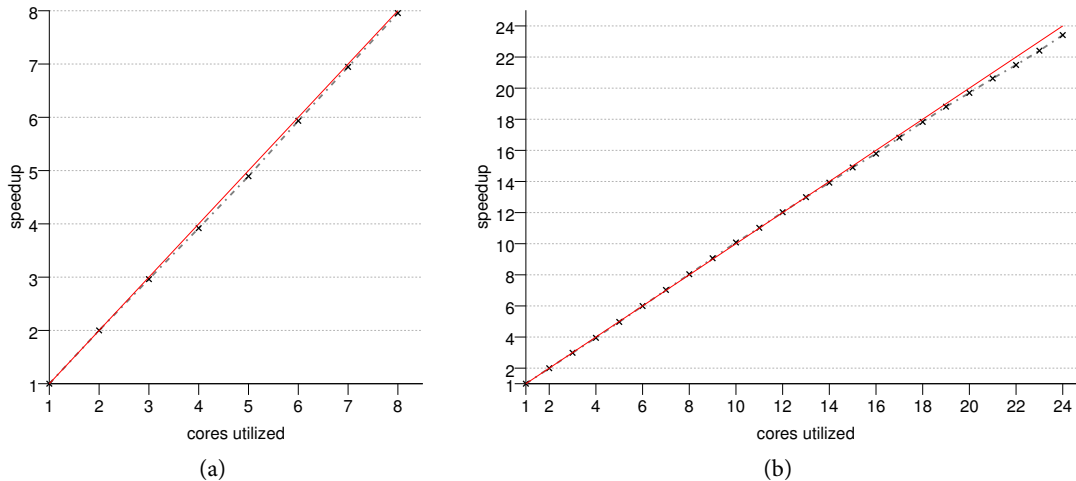


Figure 2.3: Matrix multiplication speedup for two systems. (a) a two-way quad-core system (8 cores in total) and (b) a four-way 6-core system (24 cores in total). The size of the matrices is 2048×2048 single-precision floating-point elements. The optimal (linear) speedup is illustrated with a red line.

Nevertheless, not all parallel applications can scale as well as the matrix multiplication kernel in a shared memory system. Applications with frequent accesses on main memory tend to exhibit poor scaling due to contention on the memory subsystem (e.g., applications with streaming access patterns and limited spatial locality). To illustrate the congestion on the memory subsystem and quantify the resulting performance bottleneck, we developed a benchmark to measure maxi-

mum throughput when different threads read data from main memory. The benchmark allocates and initializes large memory areas and subsequently performs read operations using streaming instructions (see A.2 for a detailed description of the benchmark and 4.5.2 for additional experimental results).

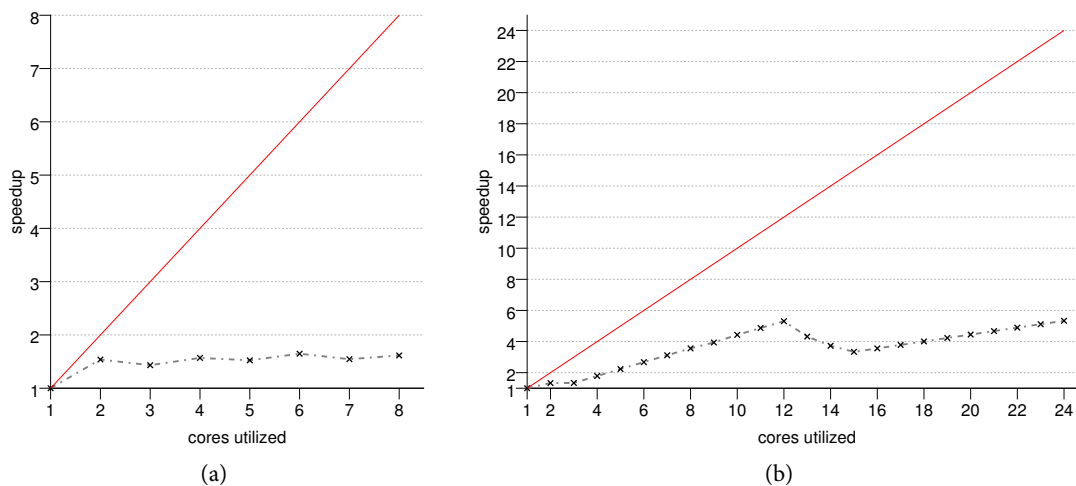


Figure 2.4: Speedup for aggregate read memory throughput on two systems. (a) a two-way quad-core system (8 cores in total) and (b) a four-way 6-core system (24 cores in total). The optimal (linear) speedup is illustrated with a red line.

Figure 2.4 shows the speedup for aggregate read memory throughput on two multicore systems. Evidently, the available memory bandwidth on both machines is not adequate to allow this benchmark to scale. Even though this workload is artificial, it serves as an illustration for the scaling limitations of memory-intensive applications.

In a typical shared memory architecture we can assume that the execution time of each parallel part of the program can be split in two parts: a scalable (computation and access to private caches) and a non-scalable (access to shared memory). Under these assumptions we can express the execution time with the following equation:

$$t = \frac{r_c \cdot d}{n} + bw_n \cdot d \quad (2.1)$$

Where:

n is the number of utilized threads.

d is the size of the data that need to be fetched from main memory. It depends on the program accesses (e.g., temporal locality) and parameters of the cache hierarchy (cache size, cache-line size, associativity, etc.)

r_c is the time cost of the scalable computations per byte of data fetched from main memory. It depends on the program's operations and CPU speed.

bw_n is the available memory bandwidth when n threads are utilized. It depends on the program accesses (e.g., its spatial locality) and on the capabilities of the hardware, given the topology of the utilized cores (hardware prefetching, interconnection network, etc.).

Modern processors and memory hierarchies are very complex systems. It is, therefore, difficult to model the parameters of Equation 2.1 to predict the actual performance of real-world machines, especially since modern processors can execute instructions out of order and in a speculative way. Hence, to investigate the effect of these two parts on program execution for real-world systems, we developed a micro-benchmark called *memcomp* (see also A.3). Memcomp executes loops that perform a memory load and a variable number of computational operations. The program loads an element from an array stored in main memory and c additions of this element to a register.

We perform experiments using double-precision floating-point elements and an unrolled loop that performs 64 loads (and $64 \cdot c$ additions) at each iteration. The results are presented in Figure 2.5. Different graph lines represent different values of c . As expected, the scalability when performing a single addition ($c = 1$) resembles that of the memory throughput benchmark. As the number of additions are increased, computation becomes dominant in the execution time and the benchmark gradually achieves scalable performance. The point where this change occurs is highly dependent on the architecture.

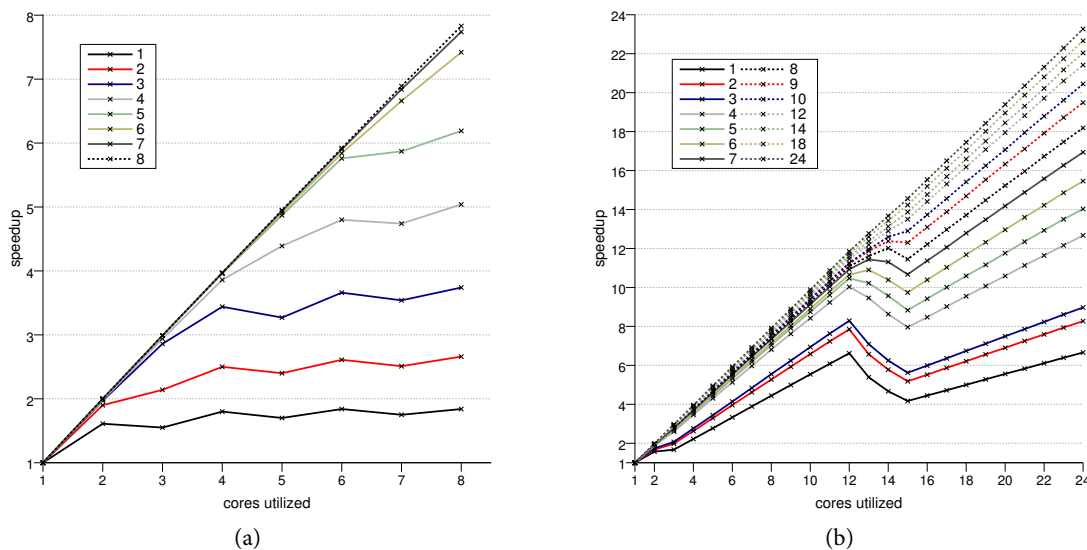


Figure 2.5: Memcomp benchmark speedup. Different lines represent different values of the c parameter. We consider two systems: (a) A two-way quad-core system (8 cores in total) and (b) A four-way 6-core system (24 cores in total).

There are systems, however, that are incompatible with our previous assumptions according to which computations scale and memory accesses do not. For example, processors that implement

TLP in a single core via technologies such as fine-grain multi-threading or simultaneous multi-threading (SMT) [TEL95] are, generally, unable to scale for highly-optimized codes [AAKK06, AAKK08].

Additionally, it is possible to construct a shared memory system with large enough available bandwidth, such that all available threads can operate without contention on the memory subsystem. An example is the Niagara 2 processor [SBB⁺07] which consists of 8 cores, each of which supports 8 threads, for a total of 64 threads per CPU. Niagara 2 deviates from mainstream multicore chip designs, since it provides a large number of available threads and good memory performance, at the expense of single core computing power. Figure 2.6 presents scalability results from the memcomp benchmark, where it is illustrated that as the computation ratio increases, the scalability of the benchmark is reduced. An additional comment to be made, is that the absolute single-threaded performance is vastly inferior to that of the mainstream chips examined previously.

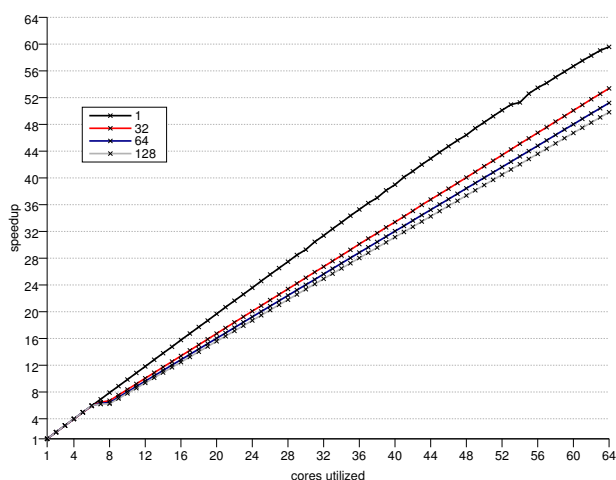


Figure 2.6: Memcomp benchmark speedup on the Niagara 2 processor. The benchmark performs a load operation of a double-precision floating-point value and c additions of this value to another register. The different lines represent different values of c .

In the next paragraphs we focus on typical multicore architectures and investigate the idea of improving the execution time of memory-intensive applications by applying data compression. With regard to Equation 2.1, we aim at decreasing the non-scalable part of the execution time (memory access), at the cost of inducing additional computational overhead. Since the additional cost is scalable, we argue that, it will be mitigated as the number of cores increases.

2.3 Compression for optimizing multithreaded applications

Compression can be viewed as a trade of data volume for computation: it results in reduced data volume at the cost of additional computational overhead. Traditionally compression is used for reducing the time of data network transfers and provide efficient persistent storage in terms

of space requirements. We investigate the use of compression for improving the execution time of multithreaded applications in shared memory architectures. Hence, based on Equation 2.1, if we apply a compression scheme that reduces the data by a factor of a and results in an additional computational cost by a factor of b , then the expression for the execution time t' will become:

$$t' = \left(\frac{b \cdot r_c}{n} + \frac{bw_n}{a} \right) \cdot d, \quad a, b \geq 1 \quad (2.2)$$

Not all multithreaded applications are suitable for applying compression as a means for improving execution time. In fact, this technique can be applied only to certain types of applications. Next, we discuss the conditions that need to be met by an application, so that it can qualify for the proposed techniques

- (a) *Memory bandwidth bottleneck.* First, the application should be memory intensive — i.e., its performance should be dominated by frequent transfers from (main) memory. If an application is compute-bound, then its execution time is dominated by the r_c term in Equation 2.1. Compression will increase this term by a factor of b , which will lead to a performance hit. The latter is especially true for modern processors which are able to overlap computations with memory transfers and hide the memory access latency. Applications that normally adhere to this requirement are applications that exhibit poor temporal locality.
- (b) *Compressible data.* An important requirement is the need for application data to be compressible. If data are random, then factor a of Equation 2.2 will be close to 1, and compression will probably result in performance slowdown. It is expected, however, that fulfilment of this condition would not be a problem for most real-world applications where data usually express specific semantics and contain redundancies that can be exploited towards compression. Nevertheless, since an application can be used in different domains and thus operate on different types of data, it is not always straightforward to determine a suitable compression technique.
- (c) *Decompression cost mitigation.* Additionally, it is required that the decompression run-time cost is mitigated by the benefits of data volume reduction. This requirement is an important differentiation from typical compression schemes, where the most important consideration is the compression ratio. With regard to Equation 2.2, the benefits of factor a (compression ratio) should outweigh the losses of factor b (decompression overhead).

As the number of cores increases, the effect of the decompression overhead on execution time decreases (assuming that it falls into the scalable execution part). This can be demonstrated in Equation 2.2 where $n \rightarrow \infty$ leads to an execution time of $(bw_n/a) \cdot d$. Nevertheless, real-world machines contain a finite number of processing cores and, as a result, the decompression overhead cannot be ignored. This condition is strongly associated with the specific hardware implementation, since the actual decompression overhead and the benefit from data reduction depend largely on the costs of the various hardware operations.

- (d) *Compression cost mitigation.* Besides the decompression cost, however, we need to additionally consider the compression overhead, which also needs to be mitigated. The compression

overhead can be characterized as “hidden”, since we excluded it from the execution time expression because we assume that it can be performed off-line. For a number of applications this assumption is correct. A typical example are applications that perform a large number of computations using the same data (e.g., by performing a large number of iterations). On the other hand, applications that use the data only once do not satisfy the above condition and will not benefit from compression in terms of execution time. An example for an application that does not satisfy this requirement is data compression itself.

The latter condition seems contradictory with the characterization of applications with no temporal locality as a good example for this technique. However, because caches are not infinite, applications that operate on large amounts of data retain their streaming nature, even if they are executed iteratively.

2.4 Case study: bitmap indices

Up until now we have limited our discussion in synthetic benchmarks (e.g., memcomp). The issue that naturally arises is whether there exist real-world applications that satisfy the conditions mentioned above and how they can benefit from compression. To elaborate on this issue, we briefly investigate the applicability of our method using a real-world application: bitmap indices. Although this case study is by no means comprehensive, it shows potential execution time benefits for compression techniques when the number of utilized cores increases.

Indices are data structures used extensively in database systems [UGMW01] and aim at improving the speed of information retrieval operations. Although typically these structures are implemented using B-trees, the alternative of bitmap indexing is gaining popularity in modern database systems, especially for read-mostly environments (e.g., data warehouses). The simplest form of a bitmap index on an attribute is a number of bit vectors—one per attribute value—each of which represent the set of records that adhere to the specific attribute value. This is called a *Value-List index* [OQ97], and an example is given in Table 2.1.

RID (record id)	X (attribute)	bitmap index			
		X = 0	X = 1	X = 2	X = 3
1	1	0	1	0	0
2	0	1	0	0	0
3	2	0	0	1	0
4	1	0	1	0	0
5	3	0	0	0	1
6	3	0	0	0	1
7	0	1	0	0	0
8	1	0	1	0	0
		b_0	b_1	b_2	b_3

Table 2.1: Example of bitmap indices for an attribute (X) that assumes four values (0–3). The bitmap index for each of these values (b_{0-3}) appears as a column.

Information retrieval queries using bitmap indices are implemented using bitwise logical op-

erations. For example, for the data in Table 2.1 a query for $X > 0$, would be answered by performing $b_1 \text{ OR } b_2 \text{ OR } b_3$. We argue that this application is well-suited for the optimization described previously: (a) it exhibits a low computation to memory accesses ratio and it usually involves large data sets that do not fit into the cache, (b) the bit vectors are typically compressible, and (c) the compression cost can be mitigated when operating on read-mostly environments. The remaining requirement for the compression approach to be gainful is the decompression cost mitigation, which is strongly dependent on the compression method used.

The compression of bitmap indices has been extensively studied in related literature [Joh99, WOS06]. Although not directly motivated by the need to reduce the memory bottleneck, these compression methods can be used in our evaluation. To investigate the potential benefits of the compression tradeoff in terms of multithreaded performance we performed a number of experiments using different compression approaches.

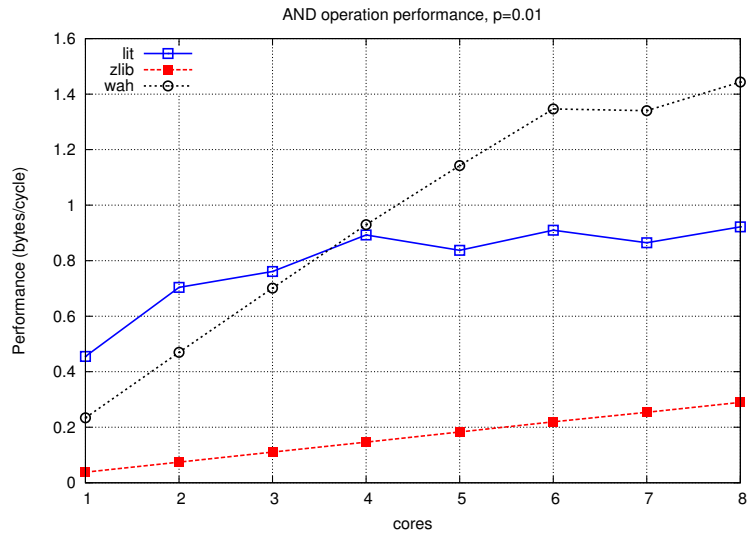
Figure 2.7 demonstrates the performance of an AND operation on two multicore machines (8 and 24 cores in total) for three different compression schemes: *lit*, which uses uncompressed (literal) bitmaps, *zlib*, which uses the zlib compression scheme [DG96, Deu96] and *WAH*, which uses the WAH (Word-Aligned Hybrid) compression scheme [WOS06]. The results were obtained using random-generated bitmaps with a bit density (probability of a bit being ‘1’) of 0.01*. The performance of the uncompressed bitmaps (*lit*) achieves the best serial performance on both machines, but it is not able to scale as more processing cores are utilized. Moreover, a performance degradation is observed after 12 cores in the 24-core system, which can be attributed to contention on the main memory. The *zlib* compression scheme has significant decompression overhead and although it is able to scale better than *lit*, its performance remains considerably low even for a large number of cores. On the other hand, the *wah* scheme has low decompression overhead and is able to achieve better performance than *lit* when a sufficient number of cores is used.

In conclusion our evaluation indicates that — in the context of multicore systems — use of compression can act in benefit for performance of real-world applications, even if it degrades performance in the serial case.

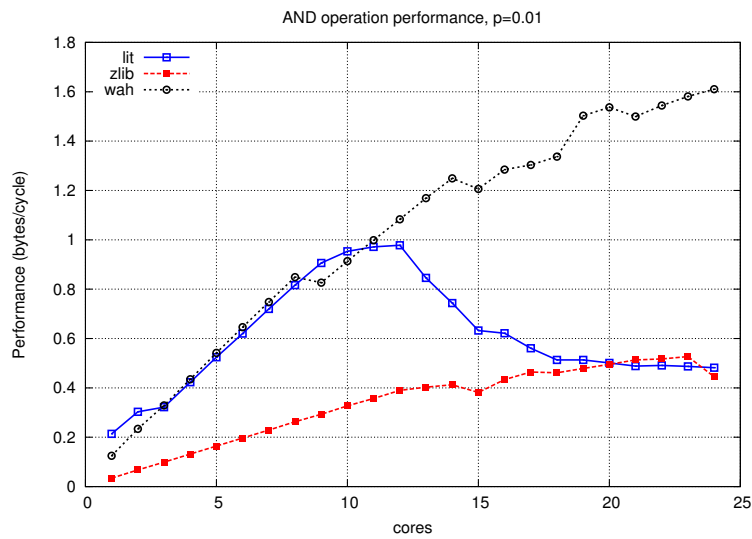
2.5 Conclusions

In this chapter we presented the key idea of our work — using compression for improving the performance of memory-intensive applications on shared memory systems. In the remaining of this thesis we apply our ideas to the domain of sparse-matrix computations and specifically to the SpMxV kernel. The next chapter provides an introduction to these concepts.

*Smaller values would lead to insignificant size reduction (or even increase), while larger values would lead to very fast optimized AND operations for the WAH compression scheme



(a)



(b)

Figure 2.7: bitwise AND operation performance. (a) a two-way quad-core system (8 cores in total) and (b) a four-way 6-core system (24 cores in total).

3

Sparse Matrices and Sparse Matrix-Vector Multiplication

3.1 Sparse Matrices

Sparse matrices are typically defined as matrices whose values are dominated by zeroes. However, the characterization of a matrix as sparse is usually not performed on the basis of a qualitative criterion (e.g. the percentage of zero elements). Instead, a matrix is treated as sparse based on the potential benefits that arise from such a treatment: “[...]a matrix can be termed sparse whenever special techniques can be utilized to take advantage of the large number of zero elements and their locations” [Saa03]. Based on the above definition we can derive a sufficient requirement regarding the sparsity of a matrix: an $N \times M$ matrix is sparse if the number of its non-zero elements is orders of magnitude smaller than $N \cdot M$. Examples of sparse matrices that correspond to real applications (taken from [Dav97]) are illustrated in Figure 3.1.

Sparse matrices are met in various scientific and engineering fields, and they generally arise when studying systems that are loosely coupled. Large sparse matrices typically appear during the discretization process when solving partial differential equations (PDE) [Saa03]. More specifically, the typical way of solving PDEs is to perform discretization employing techniques such as the Finite Element Method (FEM), which usually results in problems with large sparse matrices.

Additionally, sparse matrices are used in the representation of large graphs using an adjacency matrices. An example of such a graph is the World-Wide Web [KKR⁺99], where each vertex is a page, and a directed edge from vertex A to vertex B ($A \rightarrow B$) represents the existence of an URL link in page A linking to page B . Generally, matrix sparsity and graph theory are subjects that are closely linked: graph algorithms are employed for sparse matrices (e.g., for partitioning [HK99, VB05]), while graph algorithms can be expressed via sparse matrix computations [KCA09].

3.2 The sparse matrix-vector multiplication operation

An important and ubiquitous operation for sparse matrices is the sparse matrix-vector multiplication (SpMxV), where a $N \times M$ sparse matrix is multiplied with a dense vector (of size M) resulting in another dense vector (of size N): $y = A \cdot x$. We refer to y as the *destination vector* and to x as the *source vector*. The general expression for the elements of the y vector is:

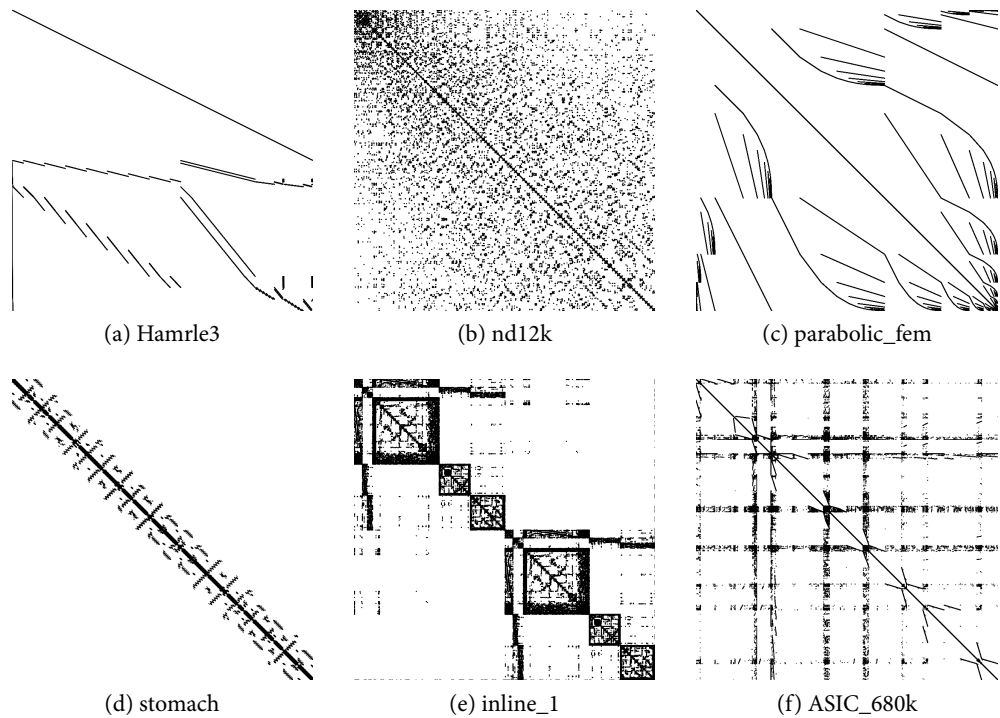


Figure 3.1: Examples of sparse matrices from real-world applications. (source: [Dav97])

$$y_i = \sum_{j=1}^M A_{ij} \cdot x_j \quad 1 \leq i \leq N$$

It is evident that zero elements do not contribute on the result and can be omitted. Hence, the sparsity of a matrix can be exploited when performing the SpMxV operation by considering only non-zero elements ($A_{ij} \neq 0$) during the computation.

The SpMxV operation is used in a large variety of applications in scientific computing and engineering. It is the basic operation of iterative solvers, such as Conjugate Gradient (CG) and Generalized Minimum Residual (GMRES), extensively used to solve sparse linear systems resulting from the simulation of physical processes described by PDEs [Saa03]. Moreover, a number of graph algorithms can be expressed using adjacency matrix multiplication, and many of them perform several iterations, where the iteration time is dominated by SpMxV [KCA09]. Examples include link analysis algorithms such as PageRank [BP98]. Finally, SpMxV has been reported as a member of one of the “seven dwarfs”, which are classes of applications that are believed to be important for at least the next decade [ABC⁺06].

3.3 Sparse storage formats

The rest of this chapter is concerned with an important aspect of sparse matrices — sparse storage formats. These formats are data structures that enable efficient storage and efficient operations for sparse matrices. We start by discussing dense storage.

Typical schemes of dense matrices store the elements subsequently into memory. The space used is equal to the total number of elements. In addition, a location function is used to determine the position of a matrix element in the linear memory space. The most frequently used schemes are row-major (C) and column-major (Fortran) order. For an $N \times M$ matrix, a row-major order scheme stores the element a_{ij} into the $j + (i \cdot M)$ location, while for the column-major order scheme the same element is stored into the $i + (j \cdot N)$ location.

Sparse matrices use special storage representations to exploit the large number of zero values. These storage schemes are generally build around the concept of storing only the non-zero values of the matrix. This results in less storage size requirements, as well as more efficient operations (e.g. SpMxV) since zero values usually do not contribute to the computation. Nevertheless, additional information about the position of the non-zero values is required. Hence, we separate the sparse matrix data into two categories: *index data*: data that are used for the representation of the matrix structure and *value data*: data that represent the numerical values of the matrix.

In the following paragraphs we discuss several existing sparse-matrix formats. We focus on matrices suitable for the SpMxV operation, where the matrix remains constant and random access is not required.

3.3.1 Coordinate format

The *coordinate (COO) format* is one of the simplest forms of sparse storage. It stores the non-zero elements along with their corresponding indices — their matrix location. For instance, the COO format for a vector is called *compressed sparse vector* or simply *sparse vector*. In a sparse vector format the non-zeroes are stored contiguously in an array `val` and the indices of these elements are stored in another array `ind`. In other words, `val[i]` stores the element in position `ind[i]`. An example of a sparse vector is illustrated in Figure 3.2a.

Similarly, for a two-dimensional matrix two index arrays are needed: one for the row (`row_ind`), and one for the column (`col_ind`) of each non-zero element. Hence, the i -th non-zero element has a value of `val[i]` and its coordinates are: `(row_ind[i], col_ind[i])`. Figure 3.2b presents an example for the storage of a two-dimensional matrix in the COO format. Each of the index arrays (`row_ind, col_ind`) have a size equal to the number of the non-zero elements.

An issue that arises is the order in which the non-zero elements are stored. The COO format does not impose a restriction on the storage of the elements. It is, however, common practice to assume a specific order that bestows beneficial properties (e.g., good spatial locality) on algorithm implementations. Typically, a lexicographical order on the coordinates is used. In this case, elements of sparse vectors are stored in an increasing index order. For the ordering of two-dimensional matrices, the row coordinate is considered first.

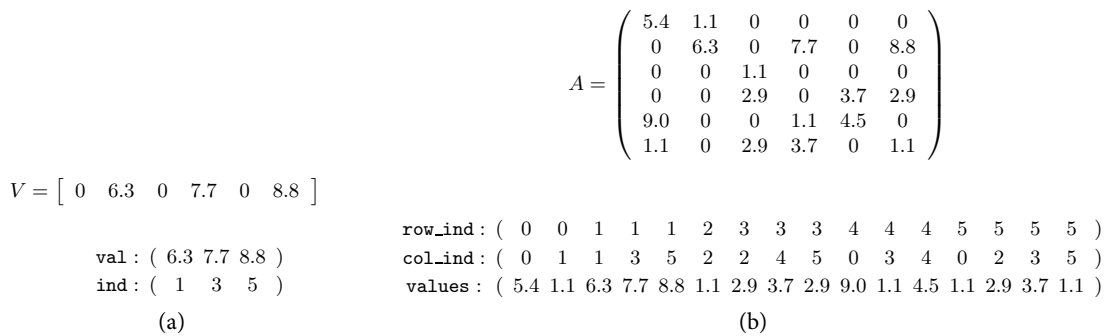


Figure 3.2: Examples of the coordinate format (COO). (a) a vector, (b) a two-dimensional matrix. Elements are stored in a lexicographical order

If the majority of the matrix rows do not contain a small number of elements and a lexicographical order is used, the `row_ind` array will contain redundant information, as can be seen in Figure 3.2b. The CSR format, described in the next paragraph, exploits this redundancy to reduce the storage requirements of the sparse matrix.

3.3.2 CSR storage format

One of the most popular storage representations for sparse matrices is the compressed storage row format (CSR) [BBC⁺94, Saa03]. CSR stores the sparse matrix as a number of sparse vectors (one for each row) and allows random access to entire rows. More specifically, the matrix is stored in three arrays: `values`, `row_ptr` and `col_ind`. The `values` array stores the non-zero elements of the matrix in row-major order, while the other two arrays store indexing information: `row_ptr` contains the location of the first (non-zero) element of each row within the `values` array and `col_ind` contains the column number for each non-zero element. An example of the CSR format for a 6×6 sparse matrix is presented in Figure 3.3.

The size of the `values` and `col_ind` arrays is equal to the number of non-zero elements (nnz), while the `row_ptr` array size is equal to the number of rows ($nrows$) plus one. The CSR format is considered a good default choice for the SpMxV kernel [Vud03]. Its implementation for a matrix with N rows is illustrated in Listing 3.1. The CSR SpMxV kernel consists of two loops: the outer loop iterates over all rows of the matrix using the `row_ptr` array, while the inner loop computes a single element of the destination vector. To assist the optimization process of the compiler the code can be optimized to write the `y[i]` value at the end of the inner loop, by keeping the intermediate result in a temporary variable that can be allocated in a register (see Listing 4.1).

```

for (i=0; i<nrows; i++)
    for (j=row_ptr[i]; j<row_ptr[i+1]; j++)
        y[i] += values[j]*x[col_ind[j]];

```

Listing 3.1: CSR SpMxV implementation.

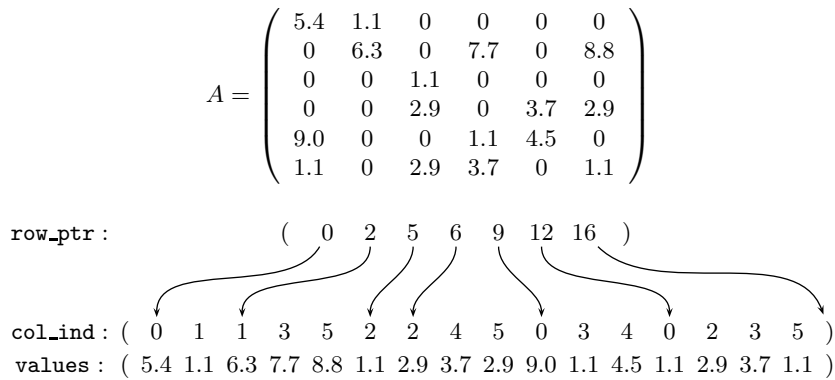


Figure 3.3: Example of the CSR storage format

The CSR format can be considered a special case of what is referred as *compressed stripe storage* [Vud03]. Another straightforward case of this class of formats is the compressed storage column (CSC) format, which is similar to CSR, except that it uses columns instead of rows, i.e., it allows random access to columns, which stores as sparse vectors. Another possible implementation would be to store the matrix diagonals as sparse vectors.

3.3.3 Blocking formats

Over the years, a number of different storage formats aiming at the exploitation of specific matrix structure for providing an efficient SpMxV operation have been proposed. One of the most successful formats in that respect is the block compressed storage row (BCSR) [IY01]. The BCSR format can be viewed as a generalization of CSR, where unit of operation is two-dimensional blocks ($r \times c$), instead of individual elements. As CSR does not store zero elements, BCSR does not store blocks that contain only zeroes. Thus, instead of storing the column index for each non-zero element, BCSR stores per-block column indices. Moreover, BCSR keeps pointers to *block-rows* (i.e. rows of blocks), instead of rows of elements. Obviously, The case of $r = c = 1$ is equivalent to CSR.

Similarly to CSR, BCSR uses three arrays for the representation of a sparse matrix: (a) *bval*, which stores the values for all blocks of the matrix in column- or row-major order — i.e., the j value of block i , is stored in location $(i \cdot r \cdot c) + j$ of the *bval* array, (b) *bcol_ind*, that stores the block-column indices and (c) *brow_ptr*, which stores pointers to the first element of each block row. Hence, assuming that a sparse matrix consists of $nblocks$ blocks, the size of the *bval* array is $r \cdot c \cdot nblocks$, the size of the *brow_ptr* array is the number of block rows ($nblocks$) plus 1: $\lceil \frac{nrows}{r} \rceil + 1$, and the size of the *bcol_ind* array is $nblocks$.

An example of the BCSR format is presented in Figure 3.4, where an 8×8 matrix is divided into 2×2 blocks. As it shown in the figure, it is possible for the *bval* array to contain zeroes to account for zeroes contained in blocks. This procedure is known as *padding* and it may result in inefficiencies depending on the block shape ($r \times c$) and the matrix structure.

The BCSR format shown in Figure 3.4 requires that aligned blocks at r row and c column

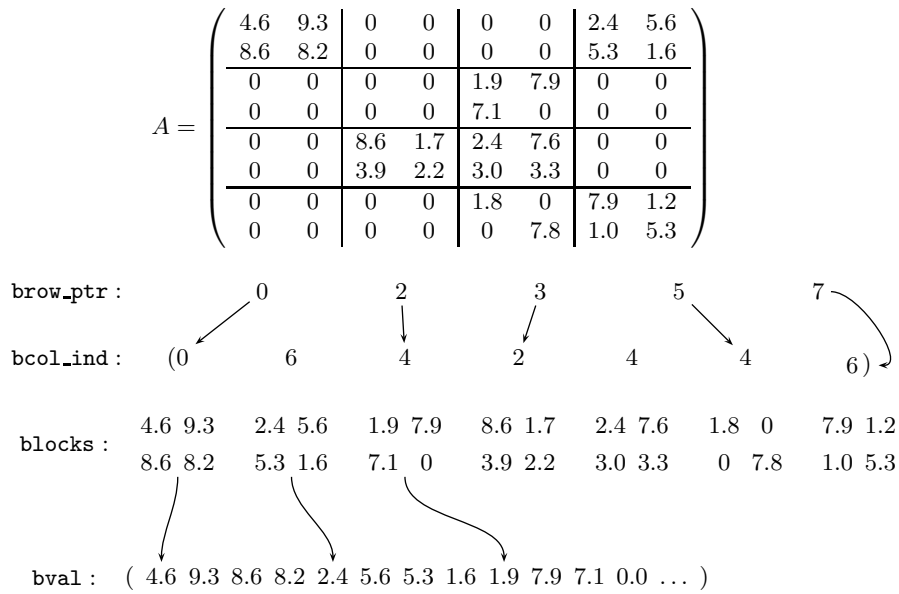


Figure 3.4: Example of the BCSR storage format

boundaries, i.e. that each $r \times c$ blocks starts at a position (i, j) such that: $i \bmod r = 0$ and $j \bmod c = 0$. This approach provides the benefits of simpler construction of the BCSR format and allows for easy vectorization, which can result in a positive performance impact [KKG09b]. A variation of the BCSR format that aims at reducing the necessary padding by relaxing the above constraints is the unaligned BCSR (UBCSR) [VM05].

```

for (i=0; i < nbrows; i++)
  for (j=brow_ptr[i]; j < brow_ptr[i+1]; j++)
    for (ir=0; ir < r; ir++) // rxc block multiplication
      for (ic=0; ic < c; ic++){
        y_idx = (i*nrows) + ir;
        v_idx = (j*r*c) + (ir*c) + ic;
        x_idx = bcol_ind[j] + ic;
        y[y_idx] += bval[v_idx]*x[x_idx];
      }
  
```

Listing 3.2: BCSR SpMxV implementation. The first outer loop iterates over all block-rows. The second outer loop iterates over all blocks of a specific block-row. The last two innermost loops perform an $r \times c$ block matrix-vector multiplication.

A simple implementation of the SpMxV kernel for the BCSR storage format is presented in Listing 3.2, and it generally follows the structure of the CSR version. At the outermost loop, all block-rows are iterated, while the second loop performs an iteration over all blocks of a block-row. The two innermost loop perform appropriate computations for each $r \times c$ block. This version of

the kernel is general in the sense that it does not assume a specific block shape. Generating BCSR SpMxV kernels for specific block shapes allows for various optimizations (e.g., register blocking and vectorization), that can significantly reduce the execution time of the kernel. A BCSR SpMxV kernel for 2×3 blocks is presented in Listing 3.3.

```

for (i=0; i < nbrows; i++){
    y0 = y1 = 0.0;
    for (j=brow_ptr[i]; j < brow_ptr[i+1]; j++){
        x_start = bcol_ind[j];
        v_start = j*2*3;

        x0 = x[x_start];
        x1 = x[x_start +1];
        x2 = x[x_start +2];

        y0 += bval[v_start] * x0;
        y0 += bval[v_start +1] * x1;
        y0 += bval[v_start +2] * x2;

        y1 += bval[v_start +3] * x0;
        y1 += bval[v_start +4] * x1;
        y1 += bval[v_start +5] * x2;
    }
    y_start = i*2;
    y[y_start] = y0;
    y[y_start +1] = y1;
}

```

Listing 3.3: BCSR 2×3 SpMxV implementation

The selection of the block shape for a specific matrix is an important aspect of the BCSR format, one that has been extensively studied in related literature [Vud03, BELF07, KGK09a, KGK09b]. The optimal block shape selection for performing SpMxV is related not only to the specific sparse matrix structure (e.g., to avoid padding), but also to the architectural characteristic of the target processor (e.g., vector size, number of registers).

Aiming at flexibility in block shape selection, the Variable Block Row (VBR) format generalizes BCSR by allowing arbitrary block shapes. Nevertheless, this generality makes the VBR implementation complex, without providing any performance benefits [Vud03].

3.3.4 Formats for exploiting diagonal structure

Diagonal patterns arise frequently in sparse matrices, and for this reason several storage formats aim to exploit these patterns. The diagonal (*DIAG*) format is specifically designed for sparse

matrices that contain only full — or almost full — diagonals. Diagonals which contain exclusively zeroes are discarded, while non-zero diagonals are stored fully, eliminating the need for indexing information about individual elements.

We consider an enumeration of the matrix diagonals: the main diagonal is numbered 0, diagonals in the upper triangle have positive numbers and diagonals in the lower triangle have negative numbers (see Figure 3.5). The DIAG format maintains two arrays: An array with s elements (`diag`) and an $s \times N$ array (`val`), s being the number of diagonals stored and N the number of matrix rows. For each diagonal i , its number is stored in `diag[i]` and its values are stored in column i of `val`. Elements storage in `val` ensures that they retain their matrix row number. More specifically, values of upper-diagonals are stored in `val` starting from the first row (0), while values of lower-diagonals are stored so their final element is placed on the last row ($N - 1$). Padding is applied as necessary: upper-diagonals are padded from the top, while lower-diagonals are padded from the bottom. The standard SpMxV implementation for this format is shown in Listing 3.4.

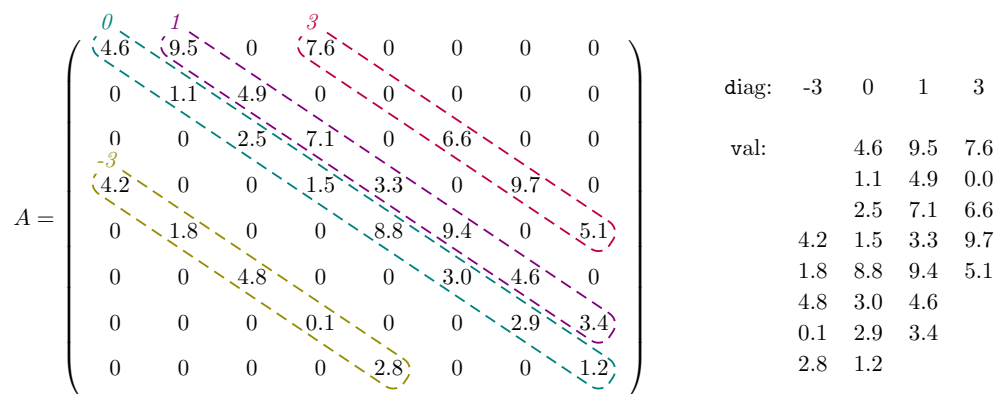


Figure 3.5: Example of the DIAG storage format.

```

for (j=0; j < s; j++){
    d = diag[j];
    for (i=max(0,-d); i < N - max(0,d); i++)
        y[i] += val[i][j] * x[d + i];
}

```

Listing 3.4: DIAG SpMxV implementation.

The DIAG format is efficient for matrices with full diagonals, but can be wasteful for matrices without full diagonals. The row segmented diagonal (*RSDIAG*) format [Vud03] is an approach for exploiting partial diagonals. RSDIAG divides the matrix into row segments (blocks of consecutive rows), and assumes full diagonals within each segment.

3.3.5 Composite formats

Storage formats try to exploit matrix structure regularities. Matrices with multiple types of regularities can be divided into sub-matrices, each stored in a different format. We refer to this class of formats as *composite formats*. Distributive operations (e.g., SpMxV) can be easily implemented by performing the operation for each sub-matrix:

$$A \cdot x = (A_0 + A_1 + \dots + A_n) \cdot x = A_0 \cdot x + A_1 \cdot x + \dots + A_n \cdot x$$

An example of a composite format is presented in [AGZ92]. In this work, Agarwal et al. decompose a matrix into three sub-matrices: the first is dominated by dense blocks, the second has a dense diagonal matrix, while the third contains the remainder of the matrix elements. A similar technique is described in [Vud03], where variable-block matrices are split into UBCSR sub-matrices. In composite formats, each sub-matrix is more sparse than the original matrix, i.e., it generally retains the same dimensions but has less non-zero elements. This can lead to computational overheads that can reduce performance (e.g., empty rows when iterating elements).

3.3.6 Symmetric and hermitian matrices

A class of matrices that emerge often in applications are symmetric matrices ($A_{ij} = A_{ji}$). These matrices can be stored in an optimized form, where symmetric elements are stored only once, i.e., by storing only the lower (or upper) triangle along with the main diagonal. To implement SpMxV for a symmetric storage format, each stored element with $i \neq j$ is used for two operations (one for itself and one for its transpose). As a result the performance profile of symmetric SpMxV is different than standard SpMxV for two main reasons: (a) computation load per element is doubled (b) random-access updates to y are performed. A similar class of matrices are hermitian matrices, i.e., complex matrices for which: $A_{ij} = A_{ji}^*$ — that is: $Re(A_{ij}) = Re(A_{ji}) \wedge Im(A_{ij}) = -Im(A_{ji})$.

3.4 Conclusions

In this chapter we discussed several sparse-matrix storage formats, focusing on the SpMxV operation. We distinguish two categories: *general* storage formats that do not assume specific matrix properties (e.g., CSR), and *specialized* storage formats that try to exploit specific matrix characteristics that are encountered frequently (e.g., DIAG). We should note that specialized storage formats may result in inefficiencies, when applied to inapt matrices.

Although our treatment is by no means comprehensive, it serves as an introduction to the necessary points for the rest of the text. More details about sparse computations and sparse matrix storage formats can be found in [BBC⁺94, Saa03, Vud03, Wil08].

4

Sparse Matrix-Vector Multiplication performance

4.1 SpMxV algorithm

The nature of the matrix-vector multiplication algorithm results in memory-bound implementations imposing intense memory accesses. We will illustrate this property using a comparison with matrix-matrix multiplication (MxM). Matrix multiplication of $N \times N$ matrices A and B results in an $N \times N$ matrix, that can be expressed as:

$$C_{ij} = \sum_{k=1}^N A_{ik} \cdot B_{kj}$$

Using this (naive) algorithm*, computation of a single C element requires N multiplications and N additions. Consequently, computation of all C elements requires N^3 multiplications and additions. This is called the *surface-to-volume* effect, where the solution of a problem requires $\mathcal{O}(n^3)$ operations on $\mathcal{O}(n^2)$ amount of data.

As discussed in Section 3.2, the resulting y vector of the matrix-vector multiplication can be expressed as:

$$y_i = \sum_{j=1}^N A_{ij} \cdot x_j$$

This operation, namely dense matrix-vector multiplication, requires N multiplications and N additions for each element of y . Therefore, it performs $\mathcal{O}(n^2)$ operations on $\mathcal{O}(n^2)$ amount of data, resulting in a significantly higher ratio of memory accesses to floating-point operations compared to MxM. Seen from another point of view, there is little data reuse in the matrix-vector multiplication, i.e., very restricted temporal locality. In fact, matrix elements are used only once.

If the matrix is sparse, index data lead to additional memory references and cache interfer-

*There exist algorithms for matrix multiplication with a lower complexity than $\mathcal{O}(n^3)$. An example is Strassen's widely-known recursive algorithm with a complexity of $\mathcal{O}(n^{\log_2 7}) \approx \mathcal{O}(n^{2.81})$ [CLRS01].

ence. In general, sparsity also creates irregular accesses to the input vector x . This irregularity complicates exploitation of reuse on x and increases the number of cache misses. Providing a thorough discussion of SpMxV performance, however, is a difficult task without assuming a specific sparse storage format. Thus, to provide a more in-depth analysis, we study the behavior of SpMxV on the CSR storage format. We choose CSR as the baseline for our performance analysis because it is a general format that performs well and it is widely used.

4.2 CSR SpMxV implementation

First, we discuss the CSR SpMxV implementation and analyze its memory references. Because we want to maximize performance, we optimize SpMxV so that the update on y vector is performed at the end of the innermost loop. This optimization opportunity is not easily detected by the compiler (mainly due to aliasing issues), and for this reason we use a temporary variable to store the intermediate result in our code. The resulting code is presented in Listing 4.1. Initial experimentation confirmed that this optimization results in significant performance improvement.

As can be seen in Listing 4.1, each element of the output vector $y[i]$ is computed by iterating all elements of the i -th row. Specifically, all elements of the row are multiplied with the x element that corresponds to their column. Summation of the resulting values leads to the desired outcome. Figure 4.1 uses an example to illustrate these operations, and how they relate to SpMxV kernel data structures.

4.2.1 CSR SpMxV memory accesses breakdown

Table 4.1 shows a breakdown of the CSR SpMxV data set and how it is accessed. The `row_ptr` array has N elements, which are accessed sequentially and only once. The `values` and `col_ind` arrays are also accessed sequentially and only once, but have nnz elements. The x array is accessed randomly, but in increasing order within each row. Moreover, it is the only array that exhibits temporal locality, i.e., its elements are potentially accessed more than once. Finally, the y vector is the only array where SpMxV stores results; its elements are updated sequentially and only once. The preceding analysis clearly illustrates the streaming nature of the CSR SpMxV kernel and its restricted temporal locality. Another important aspect of the kernel's performance is its working set, which is discussed in the next paragraph.

4.2.2 Working Set

We refer to the data accessed during the execution of the SpMxV kernel as its *working set* (ws). The working set consists of the matrix and vector data; its size for the CSR storage format is expressed by the following formula:

$$ws = \overbrace{(nnz \cdot (s_{idx} + s_{val}) + (nrows + 1) \cdot s_{idx})}^{\text{sparse matrix}} + \overbrace{(nrows + ncols) \cdot s_{val}}^{\text{vectors}}$$

In the above formula, s_{idx} and s_{val} represent the storage size required for an index and a

```

for (i=0; i<N; i++){
  yr = 0.0;
  for (j=row_ptr[i]; j<row_ptr[i+1]; j++)
    yr += values[j]*x[col_ind[j]];
  y[i] = yr;
}

```

Listing 4.1: CSR SpMxV implementation. The $y[i]$ value is updated at the end of the inner loop

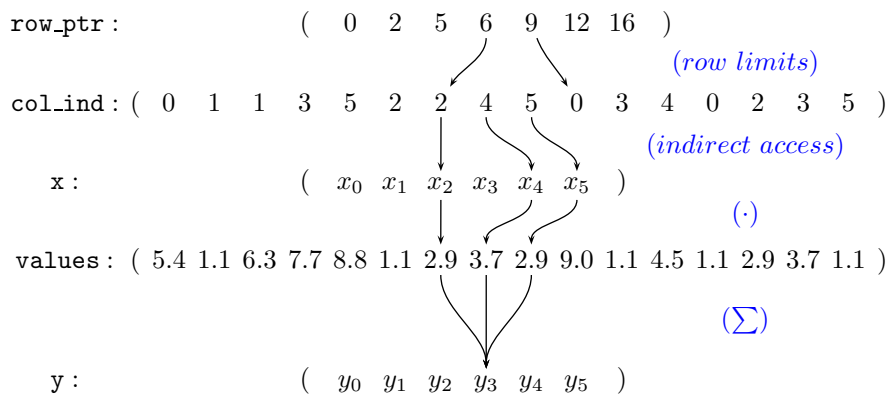


Figure 4.1: Example of a CSR SpMxV operation

	size	accesses	type	R/W
row_ptr	N	N	sequential	R
values	nnz	nnz	sequential	R
col_ind	nnz	nnz	sequential	R
x	N	nnz	random, \uparrow	R
y	N	N	sequential	W

Table 4.1: Breakdown of CSR SpMxV data set and their access patterns, for an $N \times N$ matrix.

value, respectively. An approximation of ws is:

$$ws = nnz \cdot (s_{idx} + s_{val})$$

This approximation, which accounts only for arrays with nnz elements, is valid for the majority of real-life sparse matrices because they satisfy: $nnz \gg n_{rows}, n_{cols}$. Commonly, a 4-byte integer is used for index storage, due to memory size restrictions that limit x and y vectors to a maximum of 2^{32} elements. On the other hand, numerical data — especially for scientific applications (e.g., PDE solvers) — normally require double-precision, i.e., 8 bytes. Under these assumptions ($s_{idx} = 4$, $s_{val} = 8$) values constitute the larger portion of the working set by a factor of $\frac{2}{3}$. For this reason, value data compression is expected to have a greater impact to overall working set reduction.

The $\frac{2}{3}$ factor is a result of memory size limitations (we implicitly have assumed that the sparse matrix resides in memory) and can change in the future. Specifically, matrices with dimensions larger than 2^{32} , require indices larger than 32 bits. We consider a square sparse matrix with $n = n_{rows} = n_{cols} = 2^{32}$ and $nnz = 100 \cdot n = 100 \cdot 2^{32}\dagger$. The required CSR storage would be $100 \cdot 2^{32} \cdot (4 + 8)$ bytes ≈ 4.7 TiB. Currently, only some high-end machines contain this much memory. However, given the current rate of advancement, it is probable that near-future commodity hardware will support these capabilities.

Using the previous working set approximation we can obtain the kernel's ratio of memory accesses to floating-point operations (FLOPs):

$$\rho = \frac{ws}{FLOPs_{total}} = \frac{nnz \cdot (4 + 8)}{nnz \cdot 2} = 6 \text{ bytes}/FLOP$$

In other words, CSR SpMxV performs one floating-point operation per 6 bytes of data. This is a very high ratio and affirms our claim that the kernel is memory-bound. To make a connection with the memcomp benchmark (see 2.2) this ratio corresponds to a c value of $\frac{3}{4}$.

As another example, we consider a CPU with a clock of $f = 2$ GHz, which can perform $\alpha = 1$ FLOP per cycle. In this case, the required data transfer rate is:

$$f \cdot \alpha \cdot \rho = 6 \cdot 2 \cdot 10^9 = 12 \approx 11.2 \text{ GiB}/sec$$

Although this ratio is attainable by modern machines (see Section 4.5.2), utilizing more cores will result in a multiplication of the required ratio by the number of added cores. As a result, the memory subsystem would not be able to deliver the necessary data transfer rate, and the kernel will exhibit poor scalability. Before presenting our performance evaluation of multithreaded SpMxV, however, we discuss its parallelization.

[†]The number 100 has been chosen because it is close to the average value of nnz/n for our matrix suite (see Table 4.3)

4.3 Multithreaded SpMxV

The SpMxV kernel is an easily parallelizable kernel, since it does not contain any loop-carried dependencies. Nevertheless, there exist a number of issues that should be taken into account during the parallelization process. These issues are discussed in the following paragraphs.

4.3.1 Data partitioning

There are several data partitioning schemes for parallelizing the SpMxV kernel on a shared memory architecture. For CSR, coarse-grained *row partitioning* is usually applied [WOV⁺07], where different blocks of rows are assigned to different threads (see Figure 4.2). Threads operate on disjoint subsets of `row_ptr`, `col_ind`, `values`, and `y` arrays. The only sharing occurs in `x` array data, but it does not constitute a performance problem: access to `x` is read only, allowing efficient data caching over all processors. Someone could argue that the common use of `x` offers potential for constructive cache sharing. In practice this potential is not realized, since shared data constitute a small part of the working set and cache space is limited.

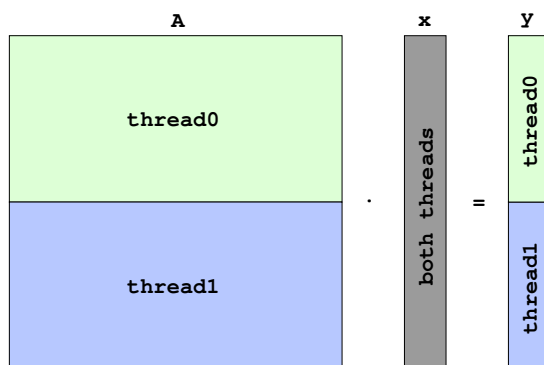


Figure 4.2: Row partitioning on SpMxV for two threads.

The complementary approach to row partitioning is *column partitioning*, where each thread is assigned a block of columns. Although this approach is more naturally applied to the CSC format, it can also be applied to CSR. An advantage of column partitioning is that each thread operates on a different part of the `x` vector, which allows for better temporal locality on the array's elements in case of distinct caches. A disadvantage, however, is the possibility of cache-line ping-pongs, since each thread performs updates over all `y` elements. Having each thread use its own `y` array eliminates this problem. The final result can be obtained by adding the partial `y` arrays. Nevertheless, a problem with this approach, as described in [BFF⁺09] by Buluç et al., is that the final accumulation does not scale, because one partial array per core is needed.

Block partitioning is the combination of the two aforementioned schemes where each thread is assigned a two-dimensional block. It has the benefit of allowing configurable data sizes for each thread. For this reason, it is applied when the available memory space is limited (e.g., in the Cell processor [GHF⁺06]). A work that discusses block partitioning in the context of distributed memory parallel architectures is [VB05].

For simplicity, in the remaining of this dissertation, we assume that row partitioning is used for parallelizing SpMxV. This simplification, however, does not have an effect on the validity of our analysis, since we discuss issues orthogonal to the partitioning scheme used.

4.3.2 Load balancing

An important issue that arises when parallelizing the SpMxV kernel is load balancing among different threads, i.e., how to distribute work so that each thread is assigned an equivalent volume of workload. A first approach is to assign the same number of rows to each thread. This naive scheme, however, can lead to imbalance because the non-zero elements of a sparse matrix are generally distributed unevenly across its rows. Consequently, if the sparsity pattern of the matrix is biased towards the upper or lower half, row partitioning will yield poor results. Initial experiments confirmed that this potential imbalance can have a negative performance effect on a significant number of matrices.

A better approach is to apply static balancing based on the non-zero elements, instead of the rows. In this case, each thread is assigned approximately the same number of elements and thus the same number of floating-point operations (see Algorithm 4.1). An example of this scheme is shown in Figure 4.3. In this example we consider two threads: the first thread is assigned the first 4 rows which contain 9 non-zero elements, while the second thread is assigned the remaining 2 rows which contain 7 non-zeroes. Note that a row balancing scheme would result in 5 elements for the first thread and 11 elements for the second thread — a less balanced partitioning.

Algorithm 4.1: Balancing based on non-zero elements, when row partitioning is applied

```

Input : The number of non-zero elements (nnz)
Input : The number of threads (nthreads)
Input : The row_ptr array
Output: A partition array

tid ← 0 // current thread id
r ← 0 // current row number
partition[0] ← 0 // first thread starts at 0
for tid ← 0 to nthreads do
    elems ← 0 // partition elements
    limit ←  $\frac{nnz}{nthreads-tid}$  // partition limit
    while (elems < limit) do
        elems ← elems + row_ptr[r + 1] - row_ptr[r] // add row elements
        r ← r + 1
    partition[tid + 1] ← r
    nnz ← nnz - elems

```

Although the aforementioned scheme distributes non-zero elements — almost — evenly among threads, imbalances may still be observed in actual workloads. This is mainly due to the fact that different sparsity patterns lead to different instruction streams regardless of the number of non-zero elements assigned to each thread. For example, if a thread is assigned a large number of short

```

row_ptr :      ( 0  2  5  6  9 12 16 )
col_ind : ( 0  1  1  3  5  2  2  4  5  0  3  4  0  2  3  5 )
values : ( 5.4 1.1 6.3 7.7 8.8 1.1 2.9 3.7 2.9 9.0 1.1 4.5 1.1 2.9 3.7 1.1 )
y :      ( y0 y1 y2 y3 y4 y5 )

```

Figure 4.3: Example of non-zero elements balancing for two threads using matrix of Figure 3.3.

rows, then it will be further burdened from an increased amount of loop control instructions. A more sophisticated partition scheme is, however, outside the scope of this thesis.

4.4 SpMxV performance

This section is concerned with the performance issues of the SpMxV kernel. First, however, we need to clarify an important aspect of our methodology. To better simulate scientific applications that use SpMxV iteratively, we base our evaluation on performance measurements over multiple consecutive kernel invocations, which induces temporal locality into our workload. For this reason, we distinguish between two different matrix classes regarding SpMxV performance: (a) matrices whose working set fits perfectly into the aggregate cache size — the size of all available caches — thus experiencing only compulsory misses, and (b) matrices whose working set is larger than the aggregate cache size and experience capacity misses. We concentrate on the latter matrix class.

There are several performance problems of SpMxV reported in related literature (a general discussion of related works is presented in Section 4.6). These problems are listed below.

- (a) *No temporal locality in the matrix.* This is an inherent problem of the algorithm which is irrelevant to the sparsity of the matrix. Unlike other important numerical codes, such as MxM and LU decomposition, the elements of the matrix in SpMxV are used only once [BELF07, MCG04].
- (b) *Indirect memory references.* This is the most apparent implication of sparsity. In order to save memory space and floating-point operations, only the non-zero elements of the matrix are stored. To achieve this, the indices to the matrix elements need to be stored and accessed from memory via the `col_ind` and `row_ptr` data structures. This fact implies additional load operations, traffic for the memory subsystem, and cache interference [PH99].
- (c) *Irregular memory accesses to vector x .* Unlike the case of dense matrices where the access to the vector x is sequential, in sparse matrices this access is irregular and depends on the sparsity structure of the matrix. This fact complicates the process of exploiting any spatial reuse in the access to vector x [GR99, Im00, PHCR04].
- (d) *Short row lengths.* Although not so obvious, this problem is very often met in practice. Many sparse matrices exhibit a large number of rows with short length. This fact may degrade

performance due to the significant overhead of the outer loop when the trip count of the inner loop is small [BELF07, WS97].

In [GKA⁺08] we discuss and evaluate the above performance issues on modern microprocessors. For the sake of brevity we do not reproduce the full results here. Instead, in the following paragraphs, we provide only a brief summary of our conclusions, focusing on the parts that are relevant to this dissertation. The basis of our work is an extensive experimental evaluation of the SpMxV kernel for single and multi-threaded versions on a variety of modern commodity architectures. Using a rich set of matrices and various metrics, ranging from floating-point operations per second to processors' performance counters measures, we classify the effect of various SpMxV performance bottlenecks. Based on this classification, we provide a ranked list of optimization guidelines. According to our results, the steering performance impediment that should drive any subsequent optimization efforts is the memory intensity, i.e., the large memory bandwidth requirements, of the kernel. Optimizations that target other areas, e.g., computation, will have small impact on overall performance when the memory subsystem is not able to deliver data in time.

According to our study, the primary SpMxV optimization guideline is to reduce, as much as possible, the working set of the algorithm. Reducing the working set will certainly increase the computation to memory operations ratio, thus alleviating the pressure on memory bus and give better chance to pending memory requests to be served in time. Examples of working set reduction techniques include using 32-bit or 16-bit integers for the indexing structures of the matrix, applying blocking schemes (as in [PH99, IY01, BELF07, VM05]) that effectively reduce the size of indexing structures, or applying compression (as in [WL06]).

Motivated by this guideline, we developed three compression storage formats, which are discussed in chapters 5, 6 and 7. Prior to the discussion of these formats, we present the results of an extended performance evaluation of SpMxV in modern multicore architectures over a rich real-world matrix suite.

4.5 Experimental evaluation

The goal of our experiments is twofold: (a) to provide a quantitative evaluation of the SpMxV performance on real-world hardware and, more important, (b) to illustrate the poor scalability of SpMxV as a result of the memory bandwidth bottleneck. We perform experimental tests on systems that correspond to the ends of the commodity hardware spectrum regarding memory performance: an SMP system with centralized memory, and a new generation NUMA system, with a strong architectural focus on memory throughput performance. Our results clearly indicate that both systems are unable to deliver the required data transfer rate from main memory, when all available cores are utilized.

4.5.1 Experimental setup

Hardware

We conduct experiments on two systems. The first system is equipped with two quad-core Intel Harpertown processors (see Figure 4.4). Cores operate at 2 GHz, include two private L1 32 KiB caches (instructions and data), and are grouped in pairs that share a unified 6 MiB L2 cache. The processors interface with main memory via the Intel 5000p Memory Controller Hub (MCH) which provides four channels of fully buffered DDR2 DIMM (FB-DDR2) memory.

In contrast with Harpertown that uses a unique interface with main memory, the second system consists of two Intel Nehalem[‡] processors that implement a NUMA architecture. Each processor has four cores that operate on 2.8 GHz; each core has private L1 (32 KiB instructions and data) and L2 (256 KiB unified) caches, while cores of the same processor share an L3 (8 MiB unified) cache. Moreover, Nehalem is equipped with an on-chip memory controller that supports three DDR3 memory channels. Communication with other memory nodes and I/O devices is implemented via QuickPath (QP) interconnect point-to-point links (see Figure 4.5). Additionally, Nehalem cores implement simultaneous multithreading (SMT) [TEL95], providing two different thread contexts per core.

As depicted in Figures 4.4 and 4.5, real-world systems usually employ a hierarchical topology where different core sets share different parts of the memory hierarchy. To distinguish between different scheduling configurations we will use a notation that explicitly describes the number of threads used in each level of the hierarchy. The levels are represented as:

- t : SMT threads on the same core (Nehalem).
- c_0 : cores that share L2 (Harpertown)
- c_1 : cores that do not share L2 (Harpertown)
- c : cores that share L3 (Nehalem)
- d : different dies (Harpertown and Nehalem)

Table 4.2 provides a concise overview of the two processors used for our experimental evaluation.

Software

For our evaluation we compiled our code with gcc 4.3.2, and performed our experiments in a 64-bit version of the Linux operating system (2.6.30). We explicitly parallelized all versions of the SpMxV kernel using the pthreads interface of the GNU libc library (NPTL 2.7). Moreover, we bound threads to specific cores using the `sched_setaffinity()` system call, and we allocated memory from specific NUMA nodes using the libnuma library (version 2.0.2).

We set the default storage size for indices and values to 32 and 64 bits respectively. The experiments were conducted by measuring the execution time of 128 consecutive SpMxV operations.

[‡]An initial performance evaluation of a Nehalem system can be found in [BDH⁺08].

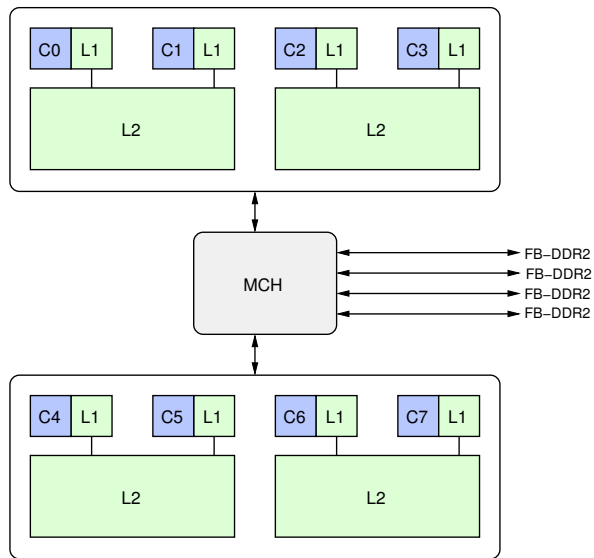


Figure 4.4: An 8-core system comprising of two Harpertown processors.

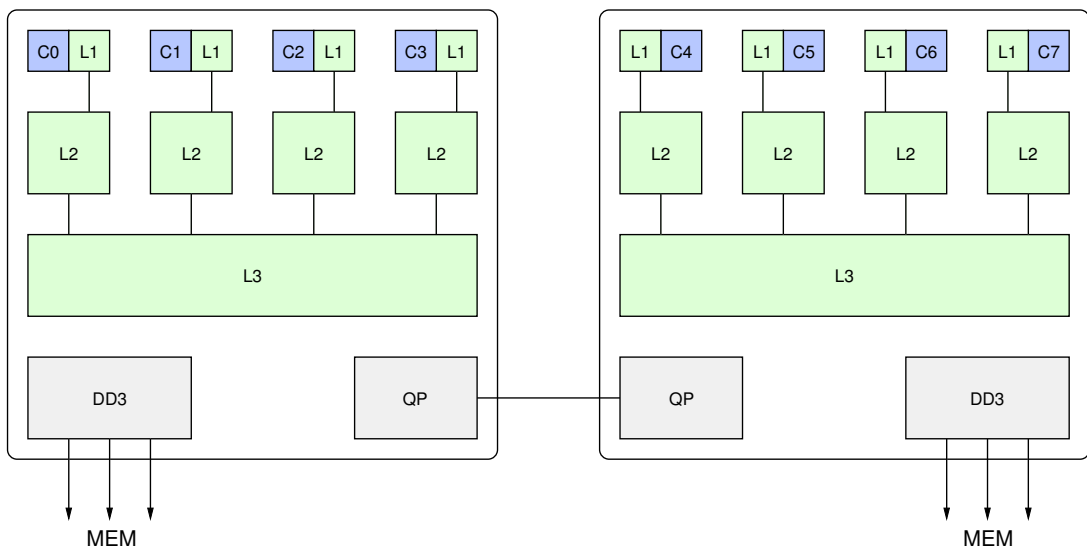


Figure 4.5: An 8-core system comprising of two Nehalem processors.

System	Harpertown	Nehalem
Model	E5405	X5560
Frequency (Ghz)	2.0	2.8
L1 (data/instruction)	32k/32k	32k/32k
L2 (unified)	6M (1/2 cores)	256k (1/core)
L3 (unified)	-	8M (1/chip)
Multithreading configuration	2c0 x 2c1 x 2d	2t x 4c x 2d

Table 4.2: Overview of the systems used in the experimental evaluation.

We made no attempt to artificially pollute the cache after each iteration, to better simulate iterative scientific application behavior where matrix data are present in the cache hierarchy, because either they have just been produced, or they were recently accessed. Additionally, we set x to be the y vector of the previous iteration, so that our benchmark has similar behavior with scientific methods based on SpMxV (e.g., GMRES). Setting y as x , however, restricts our matrix suite to contain only square matrices.

4.5.2 Memory throughput benchmark

To quantify system limits and the role of the various micro-architectural characteristics, we developed a benchmark to measure maximum throughput when a number of threads read data from the main memory (see A.2 for more details). These measurements can be used to reveal system performance trends for memory-intensive applications, such as the SpMxV kernel.

Results for the Harpertown system are shown in Figure 4.6, which illustrates the achieved memory throughput for different scheduling configurations. As expected, scalability is poor. For example, when all available cores are used, the memory throughput is increased only by a factor of 1.62 compared to the single thread scenario. This scalability problem is more intense for threads that operate on the same die: two threads in the same core achieve only a 1.12 throughput increase when compared to the serial case, while the same number of threads in different dies achieve about 1.54 increase. Another observation from the diagram is that concurrent memory accesses may lead to performance degradation due to contention. For example, the throughput of 8 threads is less than the throughput of the $2c0 \times 2d$ configuration.

The results for the Nehalem system are presented in Figure 4.7. Figure 4.7a shows the achieved memory throughput of one thread for three different NUMA memory allocation policies: (a) *local*: allocation on the local node, (b) *remote*: allocation on the remote node and (c) *interleaved*: alternating page allocation over all nodes. Local node allocation outperforms remote and interleaved policy by a significant factor (1.51 and 1.25 respectively). A single thread achieves 11.1 GiB/sec when reading from a local node, which constitutes a 3.1 improvement over Harpertown single-thread performance. Figure 4.7b presents results for various thread configurations when using memory allocated on the local NUMA node for each thread. NUMA allows for good scalability when different processors are used. The speedup achieved for two threads running on different dies is — as expected — almost linear (1.96), and when all cores are utilized the speedup is 3.27. It also is worth noting that when all cores are utilized the Nehalem processor outperforms

the Harpertown processor by a factor of 6.25 (36.4 vs 5.9 GiB/sec) in this benchmark.

A comparison between these two systems shows a technology shift towards designs that focus on memory throughput performance, and indicates the importance of the memory subsystem for future multicore systems. Regarding SpMxV, we expect that the kernel will scale better in Nehalem, especially if it is assured that data are distributed among NUMA nodes so that each thread accesses local memory.

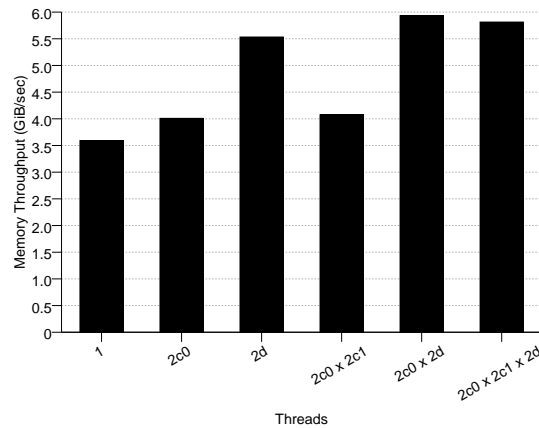


Figure 4.6: Read memory throughput for Harpertown.

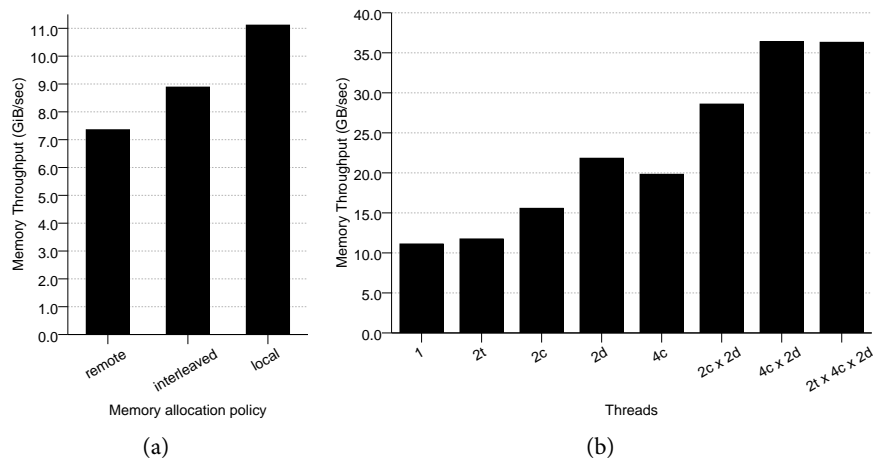


Figure 4.7: Read memory throughput for the Nehalem. (a): Nehalem read memory throughput for one thread and different NUMA allocation policies. (b): Nehalem read memory throughput for different thread configurations. Local node allocation policy is used.

4.5.3 Matrix suite

Iterative use of SpMxV induces temporal locality to the application. Hence, the streaming behavior of the kernel is maintained only if the working set, and more specifically the matrix data, is significantly larger than the system’s aggregate cache. For this reason, we build our matrix suite using matrices with a CSR working set larger than $4 \cdot 6 = 24$ MiB, which is the greater aggregate cache for the systems used in our experimental evaluation. Our matrix set consists of 50 matrices which are listed in Table 4.3.

name	dim /10 ³	nnz /10 ⁶	size /1MiB	name	dim /10 ³	nnz /10 ⁶	size /1MiB
boneS10	914.9	55.5	638.3	G3_circuit	1,585.5	7.7	93.7
ldoor	952.2	46.5	536.0	cake13	445.3	7.5	87.3
inline_1	503.7	36.8	423.3	rajat30	644.0	6.2	73.1
fdif202x202x102	4,000.0	27.8	333.9	pre2	659.0	6.0	70.7
F1	343.8	26.8	308.4	Hamrle3	1,447.4	5.5	68.6
rajat31	4,690.0	20.3	250.4	largebasis	440.0	5.6	65.3
msdoor	415.9	20.2	233.2	Chebyshev4	68.1	5.4	61.8
Freescall1	3,428.8	18.9	229.6	apache2	715.2	4.8	57.9
Ga41As41H72	268.1	18.5	212.6	s3dkq4m2	90.4	4.8	55.5
af_shell9	504.9	17.6	203.2	ship_001	34.9	4.6	53.3
af_5_k101	503.6	17.6	202.8	torso3	259.2	4.4	51.7
TSOPF_RS_b2383	38.1	16.2	185.2	thread	29.7	4.5	51.3
kkt_power	2,063.5	14.6	175.1	ASIC_680k	682.9	3.9	46.9
Si41Ge41H72	185.6	15.0	172.5	large-dense	2.0	4.0	45.8
random100000	100.0	15.0	171.8	barrier2-9	115.6	3.9	45.0
nd12k	36.0	14.2	162.9	xenon2	157.5	3.9	44.9
crankseg_2	63.8	14.1	162.2	parabolic_fem	525.8	3.7	44.1
pwtk	217.9	11.6	134.0	FEM_3D_thermal2	147.9	3.5	40.5
bmw3_2	227.4	11.3	130.1	sme3Dc	42.9	3.1	36.2
ohne2	181.3	11.1	127.3	stomach	213.4	3.0	35.4
hood	220.5	10.8	124.1	thermomech_dK	204.3	2.8	33.4
Si87H76	240.4	10.7	122.9	helm2d03	392.3	2.7	32.9
bmwcra_1	148.8	10.6	122.4	ASIC_680ks	682.7	2.3	29.3
atmosmodj	1,270.4	8.8	105.7	poisson3Db	85.6	2.4	27.5
thermal2	1,228.0	8.6	102.9	rma10	46.8	2.4	27.3

Table 4.3: Matrix suite used for the experimental evaluation. Columns contain information about each matrix: *dim* contains the number of rows and columns of the matrix in thousands ($nrows = ncols$, since we consider only square matrices), *nnz* contains the number of non-zero elements in millions and *size* contains the matrix size in MiB when stored in CSR format.

The majority of the matrices represent real-world problems and were selected from the Uni-

iversity of Florida Sparse Matrix Collection [Dav97]. Our suite includes the `fdif202x202x102` matrix, which is a matrix obtained by a 5-pt finite difference problem for a $202 \times 202 \times 102$ regular grid created by SPARSKIT [Saa94], and two artificial matrices that represent the two ends of the sparsity spectrum: (a) a dense 2000×2000 matrix (`large-dense`) and (b) a random 100000×100000 sparse matrix (`random100000`).

4.5.4 CSR performance evaluation

Figure 4.8 illustrates the average speedup of multithreaded CSR over all matrices, for different thread scheduling configurations on the Harpertown system. The speedup for 8 threads is 1.9, demonstrating the poor scalability of SpMxV. The speedup increase observed between the `2c0` and `2c1` cases — 1.17 and 1.23 respectively — can be accredited to matrix data caching during consecutive SpMxV executions. Cases `2c1` and `2c0x2c1` achieve roughly the same performance, even though available cores are doubled. We attribute this fact to the limited memory bandwidth since, as is shown in Figure 4.6, the available memory throughput for 2 and 4 cores in a single die is essentially the same. A more detailed view of SpMxV performance for Harpertown is presented in Figure 4.10, illustrating the performance of individual matrices in FLOPS per second for all different thread scheduling configurations.

A NUMA-oblivious multithreaded program can run unmodified in a NUMA system. However, there is no guarantee that data placement will be efficient. Thus, to maximize performance, we developed NUMA-aware versions of our methods, where memory allocation ensures that data accessed from a single thread are placed into the local NUMA node of the corresponding processor.

Figure 4.9 presents results for the Nehalem system for two versions of the CSR SpMxV kernel: default allocation (NUMA-oblivious) and local allocation (NUMA-aware). The large memory throughput capabilities of Nehalem result in noticeably better performance than Harpertown, even for the NUMA-oblivious version. The NUMA-aware version further improves performance, achieving a 4.44 speedup for the `4cx2d` case. SMT threads utilization in this case, however, degrades performance (4.31). Figure 4.11 contains detailed experimental results for the performance of the NUMA-aware SpMxV version.

Even though the Nehalem memory subsystem architecture drastically increases CSR SpMxV performance, it is still far from the theoretical maximum, leaving room for performance improvement by applying compression schemes. In the remaining of this dissertation, we present only NUMA-aware versions for all methods on the Nehalem system to focus on cases that maximize performance.

4.5.5 Summary

In conclusion, we argue that the SpMxV kernel is a good candidate for applying compression schemes: (a) its performance is dominated by a memory bandwidth bottleneck (b) its data, at least for real-world applications, are likely to contain redundancies that favour compression and (c) the compression overhead can be amortized, since it is used in an iterative manner. We conclude this chapter by discussing related work.

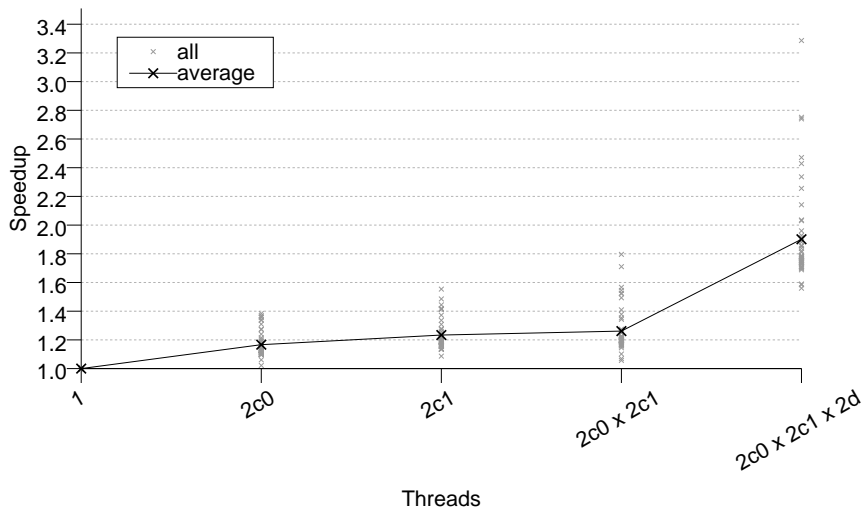


Figure 4.8: Speedups achieved by CSR SpMxV on Harpertown. Gray points mark the speedup for each matrix, while black points designate the average speedup achieved.

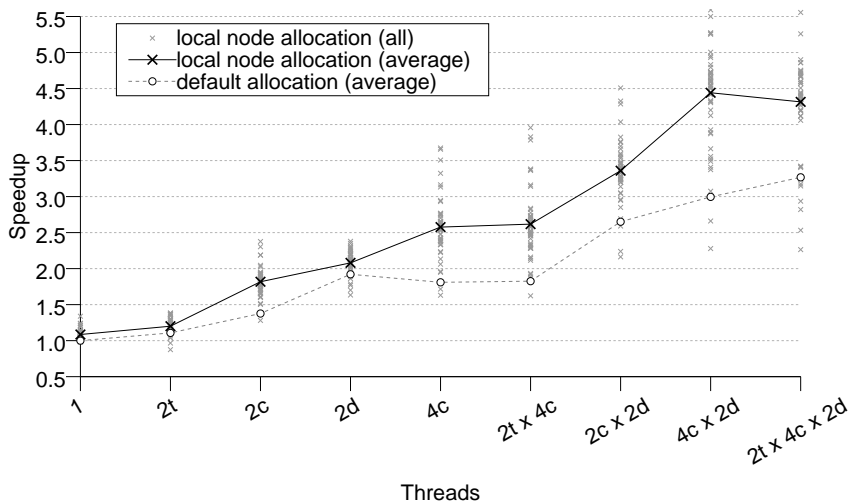


Figure 4.9: Speedups achieved by CSR SpMxV on Nehalem. The “local node allocation” line corresponds to a NUMA-aware version of the kernel, that binds matrix data in local NUMA node memory. The speedup for Nehalem is obtained using the single-threaded performance with default allocation, as the base performance. Gray points show the speedup achieved for individual matrices when local-node allocation is used.

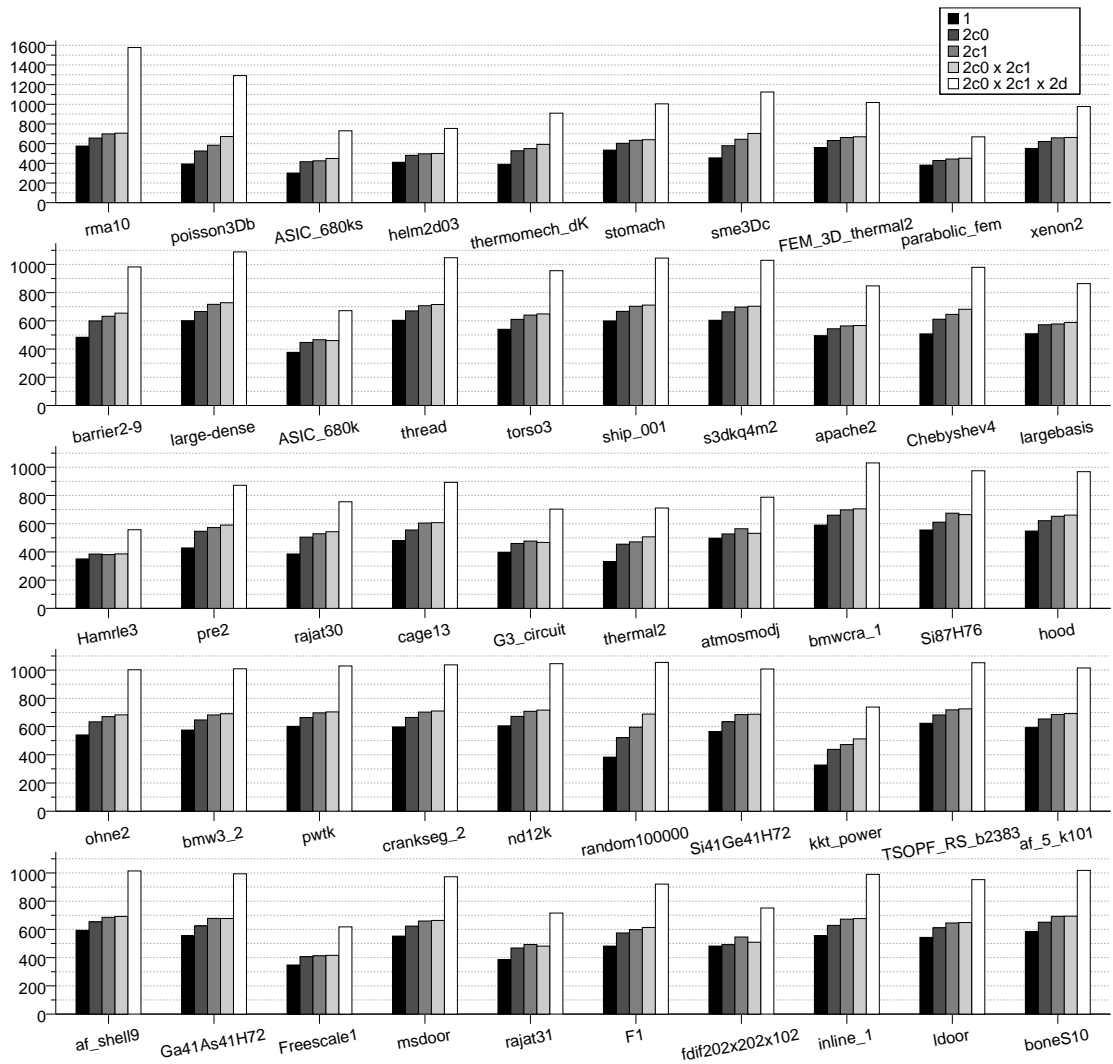


Figure 4.10: CSR SpMxV performance in FLOPs per second for all matrices and all thread scheduling configurations for Harpertown.

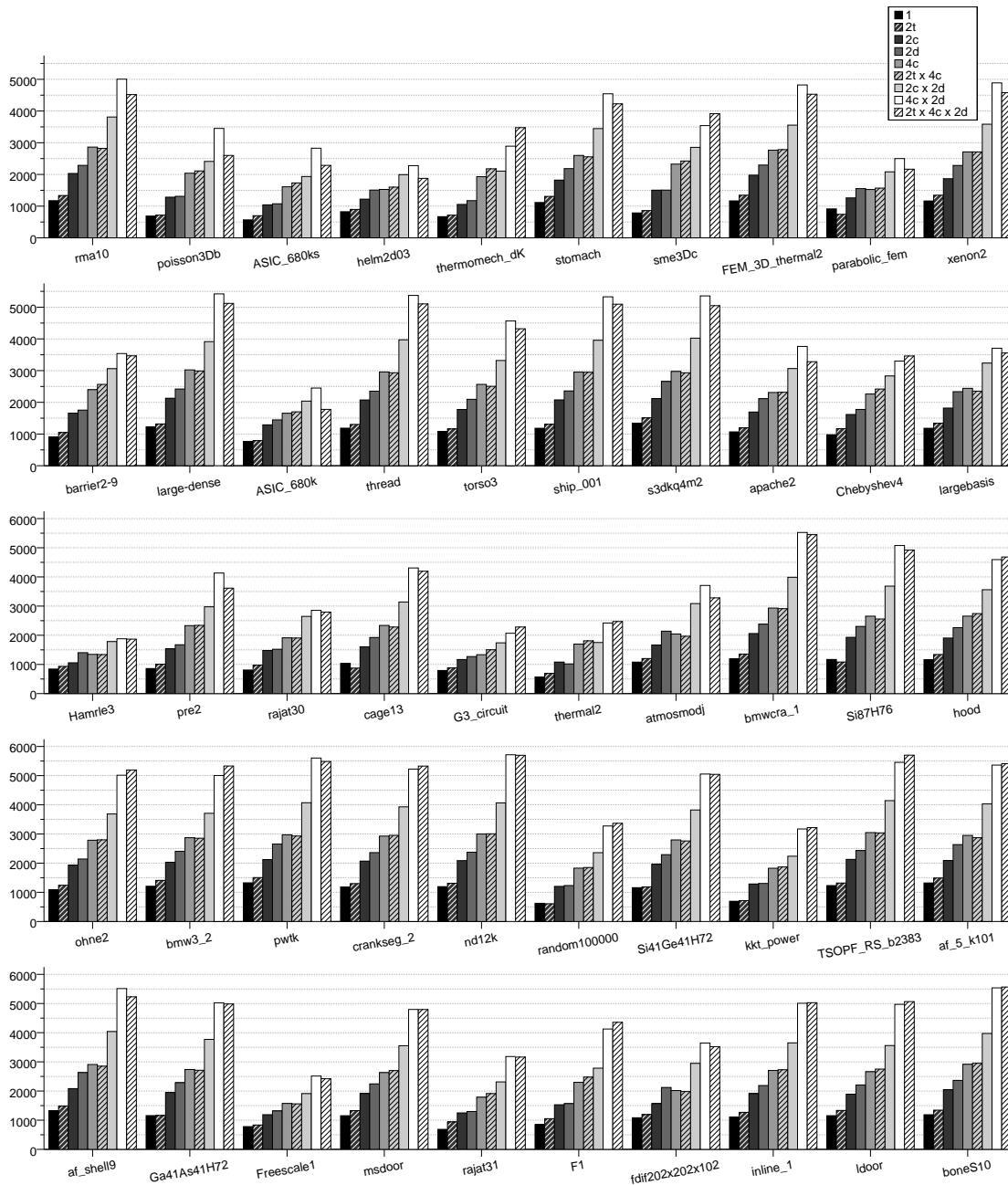


Figure 4.11: CSR SpMxV performance in FLOPs per second for all matrices and all thread scheduling configurations for Nehalem (NUMA-aware version).

4.6 Related work

4.6.1 Serial SpMxV

Because of its importance, sparse matrix-vector multiplication has attracted intensive scientific attention during the past two decades. The proposal of efficient storage formats for sparse matrices like CSR, BCSR, CDS (Compressed Diagonal Storage), Ellpack-Itpack, and JAD (Jagged Diagonal) [PRdB89, BBC⁺94, Saa03] was one of the primary concerns. Elaborating on storage formats, Agarwal et al. [AGZ92] decompose a matrix into three sub-matrices: the first is dominated by dense blocks, the second has a dense diagonal matrix, while the third contains the remainder of the matrix elements. By using a different format for each sub-matrix, the authors try to optimize execution based on the special characteristics of each sub-matrix. Temam and Jalby [TJ92] perform a thorough analysis of the cache behavior of the algorithm, pointing out the problem of the irregular access pattern in the input vector x . Toledo [Tol97] deals with this problem by proposing a permutation of the matrix that favors cache reuse in the access of x . Furthermore, the application of blocking is also proposed in that work in order to both exploit temporal locality on x and reduce the need for indirect indexing through `col_ind`. Software prefetching for the sparse matrix and `col_ind` is also used to improve memory access performance. The proposed techniques were evaluated over 13 sparse matrices on a Power2 processor and achieved a significant performance gain for the majority of them. White and Sadayappan [WS97] state that data locality is not the most crucial issue in sparse matrix-vector multiply. Instead, small line lengths, which are frequently encountered in sparse matrices, may drastically degrade performance due to the reduction of ILP. For this reason, the authors propose alternative storage schemes that enable unrolling. Their experimental results exhibited performance gains on a HP PA-RISC processor for each of the 10 sparse matrices used. Pinar and Heath [PH99] refer to irregular and indirect accesses on x as the main factors responsible for performance degradation. Focusing on indirect accesses, the application of one-dimensional blocking with the BCSR storage format is proposed in order to drastically reduce the number of indirect memory references. In addition, a column reordering technique which enables the construction of larger dense sub-blocks is also proposed. An average 1.21 speedup is reported for 11 matrices on a Sun UltraSPARC II processor. Silva and Wait [SW05] investigate the effect of keeping both indices and values in a single data structure.

With a primary goal to exploit reuse on vector x , Im and Yelick propose the application of register blocking, cache blocking, and reordering [IY99, Im00, IY01]. Moreover, their blocked versions of the algorithm are capable of reducing loop overheads and indirect referencing while increasing the degree of ILP. Register blocking is the most promising of the above techniques. The authors also propose a heuristic to determine an efficient block size. They perform their experiments on four different processors (UltraSPARC I, MIPS 10000, Alpha 21164, PowerPC604e) for a wide matrix suite involving 46 matrices. For almost a quarter of these matrices, especially those that contained dense sub-blocks derived from FEM discretizations, register blocking achieved significant performance benefits. However, as the matrices were becoming increasingly irregular with few dense blocks, the performance of the proposed approach degraded rapidly due to the overhead imposed by the additional zero elements padded to form dense blocks. For highly irregular matrices the method was not capable of finding any efficient block size, thus collapsing

to the proposal of the standard 1×1 block. Geus and Röllin [GR99] apply software pipelining to increase ILP, register blocking to reduce indirect references, and matrix reordering to exploit the reuse on x . They perform a set of experiments on a variety of processors (Pentium III, UltraSPARC, Alpha 21164, PA-8000, PA 8500, Power2, i860 XP) and report significant performance gains on two matrices originating from the discretization of 3-D Maxwell's Equations with FEM. Vuduc et al. [VDY⁺02] estimate the performance bounds of the algorithm and evaluate the register blocked code with respect to these bounds. Furthermore, they propose a new approach to select near-optimal register block sizes. Mellor-Crummey and Garvin [MCG04] accentuate the problem of short row lengths and propose the application of the well-known unroll-and-jam compiler optimization in order to overcome this problem. Unroll-and-jam achieves a 1.11–2.3 speedup on MIPS R12000, Alpha 21264A, Power3-II, and Itanium processors for two matrices taken from the SAGE package. Pichel et al. [PHCR04] model the inherent locality of a specific matrix with the use of distance functions and improve this locality by applying reordering to the original matrix. The same group proposes also the use of register blocking to further increase performance [PHCR05]. The authors report an average of 15% improvement for 15 sparse matrices on MIPS R10000, UltraSPARC II, UltraSPARC III, and Pentium III processors.

Buttari et al. [BELF07] provide a performance model for the blocked version of the algorithm based on BCSR format and propose a method to select dense blocks efficiently. They experiment on a K6, a Power3, and an Itanium II processor for a suite of 20 sparse matrices and validate the accuracy of the proposed performance model. Vuduc et al. [VM05] extend the notion of blocking in order to exploit variable block shapes by decomposing the original matrix to a proper sum of sub-matrices storing each sub-matrix in a variation of the BCSR format. Their approach is tested on the Ultra2i, Pentium III-M, Power4, and Itanium II processors for a suite of 10 FEM matrices that contain dense sub-blocks. The proposed method achieves better performance than pure BCSR on every processor, except for Itanium II.

Willcock and Lumsdaine [WL06] mitigate the memory bandwidth pressure by providing an approach to compress the indexing structure of the sparse matrix, sacrificing in this way some CPU cycles. They perform their experiments on a PowerPC 970 and an Opteron processor for 20 matrices achieving an average of 15% speedup. Another recent work that targets performance improvement by reducing the index data volume is [BBR09], where Belgin et. al propose a matrix representation that exploits repeated block patterns. The authors search for frequently met block patterns and generate specialized inner loops for those, on top of a dispatch logic. They provide an evaluation of a parallel version, but they focus primarily on serial performance.

4.6.2 Multithreaded SpMxV

As far as the parallel, multithreaded version of the code is concerned, past work focuses mainly on SMP clusters, where researchers either apply and evaluate known uniprocessor optimization techniques on SMPs, such as register or cache blocking [IY99, GR99], or examine reordering techniques in order to improve locality of references and minimize communication cost [PHCR04, CA96]. More specifically, Im and Yelick [IY99] apply register and cache blocking on an 8-way UltraSparc SMP. They also examine reordering techniques combined with register blocking. However, the results are satisfactory only in the case of highly irregular sparse ma-

trices, but the scalability of the algorithm is still very low. Pichel et al. [PHCR04] also examine reordering techniques and locality schemes. They propose two locality heuristics based on row or row-block similarity patterns, which they use as objective functions to two reordering algorithms in order to gain locality. Results are presented in terms of L1 and L2 cache miss rate reduction based mainly on a trace-driven simulation. The effect of these reordering techniques in load balancing is also discussed. Geus and Röllin [GR99] examine three parallelization schemes using MPI combined with Cuthill-McKee reordering technique in order to minimize data exchange between processors. Experiments are conducted on a series of high performance architectures, including, among others, the Intel Paragon and the Intel Pentium III Beowulf Cluster. The authors also outline the problem of the interconnection bandwidth while commenting on the results. In a higher level, Catalyurek and Ayakanat [CA96] propose an alternative data partitioning scheme based on hypergraphs in order to minimize communication cost. Kotakemori et al. [KHK⁺05] evaluate different storage formats of sparse matrices on a SGI Altix3700 ccNUMA machine using an OpenMP parallel version of the SpMxV code. The authors implement a NUMA-aware parallelization scheme, which yields almost linear speedup in every case.

Quite recently, Williams et al. [WOV⁺07, WOV⁺09] have presented an evaluation of SpMxV on a set of emerging multicore architectures. Their study covers a wide and diverse range of high-end chip multiprocessors, including recent multicores from AMD (Opteron X2) and Intel (Clovertown), Sun's Niagara2 and platforms comprised of one or two Cell processors. The authors offer a clear view of the gap between the attained performance of the kernel, and the peak performance of each architecture it is executed, both in terms of memory bandwidth and computational throughput. Their work includes a rich collection of optimizations, some of which are targeted specifically at multithreading architectures. They perform an experimental evaluation on a set of 14 matrices. In their conclusions they state that memory bandwidth could be a significant bottleneck and advocate working set reduction techniques. It should also be noted that one of the optimizations they apply is a simple index reduction technique, in which 16-bit indices are used when this is applicable. Finally, Buluç et al. [BFF⁺09], focusing on multicore architectures, propose CSB — a storage format that aims to enable efficient execution of both the sparse matrix-vector and sparse matrix-transpose-vector kernels.

Column Index compression using Delta Encoding

5.1 Motivation and general approach

Sparse storage formats traditionally try to exploit contiguous elements, either in one (Figure 5.1a) or two dimensions (Figure 5.1b). Examples include the BCSR format, and the variable length one-dimensional block format described in [PH99]. BCSR can be viewed as a generalization of CSR where the granularity unit is an $r \times c$ dense block. The effect to overall matrix size when converting from CSR to BCSR depends on the aptitude of the selected block shape to capture the matrix structure. If resulting blocks contain a small number of zeroes, significant index reduction is achieved. For example, perfect blocking — i.e., none of the BCSR blocks contain zeroes — leads to an index reduction by a factor of $r \cdot c$. On the contrary, zeroes included in BCSR blocks must be explicitly added to value data, because all BCSR blocks are stored in a dense form. This, depending on the matrix structure and selected block shape, may lead to an increase in overall matrix size.

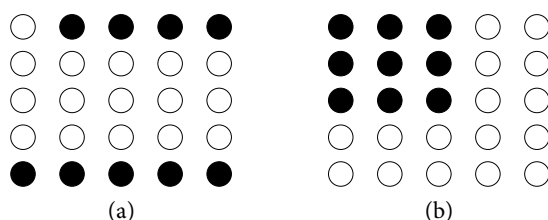


Figure 5.1: Sparse matrix patterns. (a) sequential elements, (b) two-dimensional blocks.

Our index compression approach is based on the general premise that sparse matrices have dense areas that do not necessarily contain contiguous non-zero elements (i.e., areas where elements are close but not sequential). These areas can contribute significantly to index data size reduction when delta encoding is used to reveal the highly redundant nature of the `col_ind` array [WL06]. In a delta encoding scheme the column indices are replaced with *deltas*, each of which is defined as the difference of the current index with the previous one. Within a row, delta values are positive and less or equal than their corresponding column indices. Hence, delta values

can be stored in smaller size integers, leading to index data size reduction. For example, Table 5.1 presents column indices along with the corresponding delta-encoded values, taken from the 33th row of the `rajat30` matrix (see Section 4.5.3).

indices	40	41	450	1812	1840	3203	3233	3235	3241	3245
deltas	...	1	409	1362	28	1363	30	2	6	4

Table 5.1: Example of column indices and their corresponding delta-encoded values (taken from matrix `rajat30`).

A simple compression scheme to exploit delta encoding is to use variable-length integers. We consider a method where the integer’s bits in its normal form are divided in 7-bits parts. These parts are stored in consecutive bytes in which the most significant bit (MSB) is used to mark the last byte of the integer. Under this scheme, an integer with a value of x needs $1 + \lfloor \frac{\log_2 x}{7} \rfloor$ bytes of storage. This can lead to significant index data volume reduction. For the example of Table 5.1, column indices smaller than $2^7 = 128$ will be encoded using 1 byte and all others using 2 bytes. As a result, the total size required for column indices 41 to 3245 is 12 bytes. A CSR `col_ind` structure, on the other hand, would require $9 \cdot 4 = 36$ bytes.

There is, however, a performance issue with variable-length integers. Normally, if each delta value was encoded separately, the innermost loop of the SpMxV kernel would contain branches to implement decoding (e.g., checking MSB to determine whether the integer includes other bytes). Misprediction of these branches in execution time leads to significant performance degradation. For this reason, instead of encoding each delta value to use only the necessary number of bytes, we propose a coarse-grained approach where the matrix is divided into *units* with a variable number of elements. For each of these units, the maximum delta value is calculated, and a size that can represent this value is selected for all the delta values of the unit. This technique enables for innermost loops with minimum overheads by sacrificing some space.

An important factor for the performance of this method lies in the selection of the unit size. If the size is too small, the decompression overhead introduced will dominate the performance gain from the compression. On the contrary, if the unit size is large, there will be less opportunities for compression, because a single large delta value will enforce big storage requirements for the whole unit.

This approach demonstrates an abstract optimization strategy for the SpMxV kernel, that can be used to exploit matrix-specific structure information. To this direction the concept of *units* could be extended to support more types of regularities, thus providing a number of advantages: (a) It can be used to exploit local regularities in specific areas of the matrix, (b) It operates on a coarse-grained level and thus can effectively minimize the introduced overhead by selecting sufficiently large sizes and (c) it can bound the search space for regularities or patterns and assure that the compression procedure will not exceed the available resources (e.g., time or storage). In Section 5.2.2 we discuss a method for exploiting sequential elements, while Chapter 7 describes a more general storage format towards this direction.

5.2 The CSR-DU storage format

The CSR-DU (CSR with Delta Units) storage format divides index data into units which are stored in a single byte-array called `ct1`. Each unit is limited to elements of a single row and consists of two parts. First, the *header* where the unit's properties are stored. Second, the *main body* where the delta-encoded column indices are stored. The header, in its simplest form, consists of two one-byte fields: (a) *usize*, the number of elements the unit contains and (b) *uflags*, a bit-vector encoding the unit's characteristics. Since *usize* is stored in a single byte, the maximum possible number of elements per unit is $2^8 = 256$. The size (1, 2, 4 or 8 bytes)* of the delta values stored in the main body can be extracted from the *uflags* field, along with a marker that designates the beginning of a new row.

Figure 5.2 presents an example of the CSR-DU format. In this example a row with 8 elements is split into two units. The first unit has 5 elements, 1-byte delta size, and a designator for a new row (*nr*). The second unit has 3 elements, and 2-byte delta size.

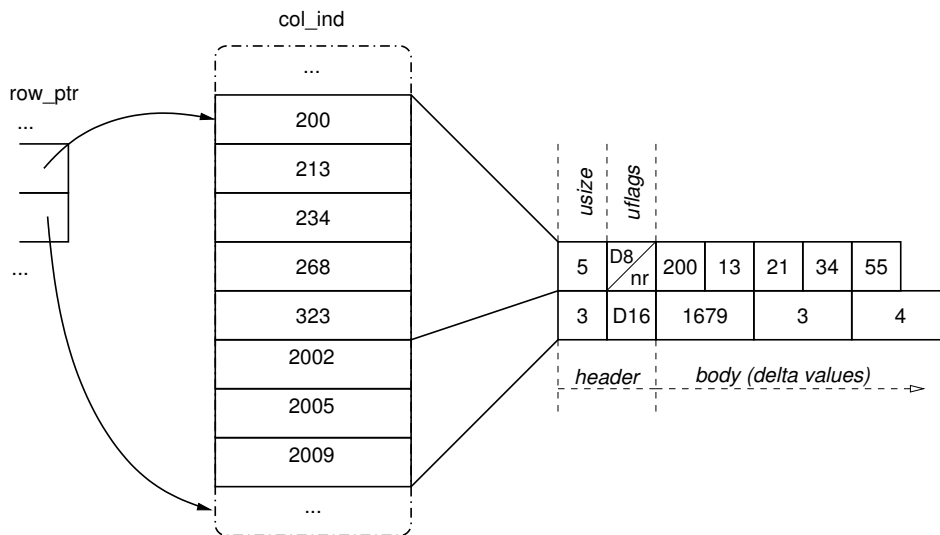


Figure 5.2: Example of the CSR-DU storage format.

The compression procedure of CSR-DU is straightforward. It is performed in $\mathcal{O}(nnz)$ steps by scanning the matrix elements once, while keeping appropriate information in buffers until a unit is finalized. This means that the construction process of CSR-DU involves no overhead in terms of time complexity compared to CSR. An important decision during this procedure is when to finalize a unit. We implemented a simple approach where a unit is finalized if (a) a new row starts in the next element, or (b) the maximum unit size is reached. An algorithm for this procedure is shown in Algorithm 5.1 that uses a finalization function, described in pseudocode in Algorithm 5.2, to append the necessary data to the `ct1` array. A more elaborate scheme would be to finalize a unit if a new element increases the delta storage size, as long as the unit already contains more than a predetermined number of elements.

*8 bytes delta values are unnecessary due to hardware limitations, but supported for completeness.

Algorithm 5.1: Basic CSR-DU encoding procedure.

```
Initialization:  
deltas ← [] // array of column deltas for current unit  
newrow ← true // true if current unit starts a new row  
Yprev ← 1 // previous element's row number  
Xprev ← 0 // previous element's column number  
  
foreach (X,Y) in Elements do  
  if Y ≠ Yprev then // start of a new row  
    finalize(deltas, newrow)  
    deltas ← []  
    newrow ← true  
    Yprev ← Y  
    Xprev ← 0  
  deltas.add(X - Xprev)  
  if deltas reached maximum size then // unit finalization check  
    finalize(deltas, newrow)  
    deltas ← []  
    newrow ← false
```

Algorithm 5.2: Unit finalization: appending appropriate information to ct1 array.

```
finalize(deltas, newrow):  
  set usize equal to the size of the deltas array  
  if newrow then  
    | set new row mark at uflags (nr).  
  switch max(deltas) do  
    case 1 .. 28 // 1-byte storage  
    | set delta's size to 1 byte at uflags (D8).  
    | copy values of deltas array as 1-byte integers to body.  
    case 28 .. 216 // 2-bytes storage  
    | set delta's size to 2 bytes at uflags (D16).  
    | copy values of deltas array as 2-bytes integers to body.  
    ...
```

The SpMxV implementation for the CSR-DU storage format is presented in Listing 5.1†. Access to the `ctl` array is performed via macros (e.g., `ctl_get_u16()`) that return the appropriate value and advance the array pointer as necessary. Initially, the `uflags` and `usize` header fields are extracted from `ctl`. If the unit belongs to a new row, appropriate initializations are performed: the `y` index is increased and the `x` index is zeroed. Finally, the appropriate multiplication code is executed based on the unit type. The innermost loops implementing the multiplication code for each case do not contain any branches, which allows for fast execution by the processor.

Parallelization is similar to CSR. For the row partitioning scheme, described in Section 4.3.1, each thread needs an offset in the `ctl`, `values` and `y` arrays to mark the beginning of its data, and the total number of rows that have been assigned to it.

The next paragraphs discuss extensions to CSR-DU format for performance improvement.

```

do {
    usize = ctl_get_u8(ctl);
    uflags = ctl_get_u8(ctl);
    if ( flags_new_row(uflags) ){
        y_indx++;
        x_indx = 0;
    }
    switch ( flags_type(uflags) ){
        case CSR_DU_U8:
            for (i=0; i<usize; i++) {
                x_indx += ctl_get_u8(ctl);
                y[y_indx] += *(values++) * x[x_indx];
            }
            break;

        case CSR_DU_U16:
            for (i=0; i<usize; i++) {
                x_indx += ctl_get_u16(ctl);
                y[y_indx] += *(values++) * x[x_indx];
            }
            break;

        case CSR_DU_U32:
            ...
    }
} while (values < values_end);

```

Listing 5.1: CSR-DU SpMxV implementation.

†Note that the code has been simplified to aid the presentation. For example the optimization for updating the `y` value only at the end of the loop is not shown (see Section 4.2).

5.2.1 Unit offsets

A problem with CSR-DU, as described in the previous paragraphs, is that the unit's first delta value can be significantly larger than the rest, imposing an unnecessarily large storage size for the rest of the deltas. In the example of Figure 5.2 the density of the second unit's elements allows for 1-byte delta values, but the large distance from the first unit dictates 2-byte storage. To counter this problem, we modify the original CSR-DU format to include a column index offset from the previous unit in the header. The offset is called `ujmp` and is stored as a (positive) variable-length integer at the end of the header. This technique improves compression of the column indices at no cost for performance since the change does not affect innermost loops. We implement the variable-length integers using the scheme described in 5.1: each integer is divided in 7-bit parts, which are stored in consecutive bytes; the final byte is distinguished by having its MSB set.

We consider the example of the two units in Figure 5.2. Figure 5.3 shows the encoding of the second unit when unit offsets are used. In this case, unit offsets result in better compression because deltas are stored in 1-byte integers. On the other hand, using unit offsets in the first unit would lead to increased size because the first delta value (200) requires 2-byte storage in our variable-length storage scheme ($1 + \lfloor \frac{\log_2 200}{7} \rfloor = 2$). This issue, however, appears only on a per-unit basis, and selection of sufficiently large units amortizes potential losses. Listing 5.2 shows a portion of the SpMxV implementation for CSR-DU with unit offsets: the offset is added to the x index and the appropriate multiplication code is executed based on the unit type.

5.2.2 Sequential units

Although delta encoding can significantly reduce index data volume, it does not handle the occurrence of sequential elements efficiently. If all unit elements are sequential, column indexing information can be completely omitted. This, in addition to reducing the working set, eliminates indirect accesses on x allowing for better optimization from both the compiler and the CPU. Thus, in contrast with typical compression schemes, exploitation of sequential elements not only reduces storage volume but also — potentially — decreases computational overhead.

We extend CSR-DU, in a way similar to the format presented in [PH99], to support units containing sequential elements. An example of this unit type (*sequential units*) is illustrated in Figure 5.4. Besides the `usize` and `uflags` fields, unit data also contain the column index offset from the previous unit as a variable length integer. Note that if unit offsets are used, the last field of the unit coincides with `ujmp`. Listing 5.3 shows the multiplication code for sequential units.

An important parameter that needs to be considered during the compression phase is the minimum possible size for the sequential units. We will refer to this parameter as *seq*. Consecutive elements of size less than *seq* will be encoded using delta encoding as described in previous sections. Tuning of this parameter prevents performance degradation from sequential units with small size. For example, if *seq*=1 then all units of the matrix will be encoded as sequential. This will result in poor performance if the matrix does not contain enough sequential elements. In general, the effect of *seq* on SpMxV performance depends on: (a) the architecture of the execution platform and (b) the structure of the matrix (e.g., frequency of sequential units).

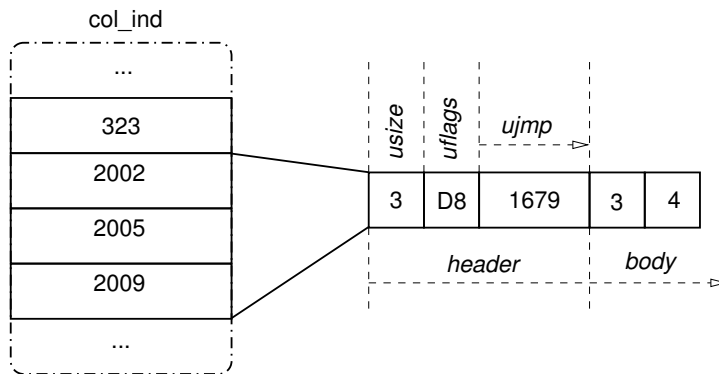


Figure 5.3: Example of a CSR-DU unit with offsets.

```

...
x_indx += ctl_get_varint(ctl); // unit offset (variable-length)
switch ( flags_type(uflags) ){
  case CSR_DU_U8:
    y[y_indx] += *(values++) * x[x_indx]; // first element
    for (i=1; i<usize; i++) {
      x_indx += ctl_get_u8(ctl);
      y[y_indx] += *(values++) * x[x_indx];
    }
    break;

  case CSR_DU_U16:
    y[y_indx] += *(values++) * x[x_indx]; // first element
    for (i=1; i<usize; i++) {
      x_indx += ctl_get_u16(ctl);
      y[y_indx] += *(values++) * x[x_indx];
    }
    break;

  case CSR_DU_U32:
    ...
}

```

Listing 5.2: portion of the SpMxV implementation for CSR-DU with unit offsets.

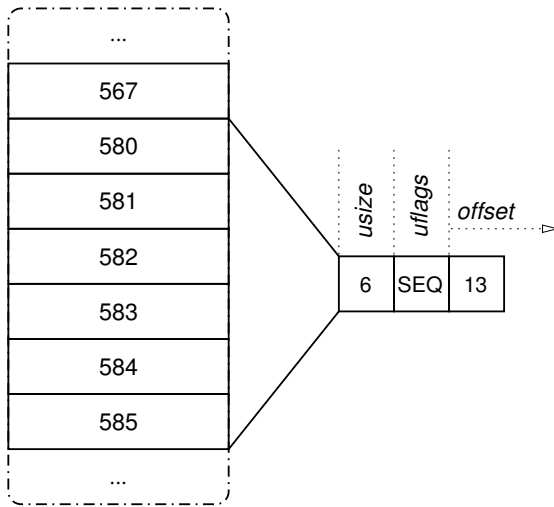


Figure 5.4: Example of sequential elements unit.

```

...
x_indx += ctl_get_varint(ctl);
switch ( flags_type(uflags) ){
    case CSR_DU_SEQ:
        for (i=0; i < size; i++){
            y[y_indx] += *(values++) * x[x_indx + i]
        }
        x_indx += (size-1)
        ...
    }
    ...

```

Listing 5.3: multiplication code for CSR-DU sequential units.

5.2.3 Alignment of ct1 array values

Another issue with the CSR-DU format is that packing of delta values larger than 1 byte in the ct1 array may lead to unaligned storage. For example in the case of Figure 5.2 if the first field of the ct1 array is aligned then the three 16-bit deltas in the second unit are stored in an unaligned manner. Some ISAs disallow unaligned access. Others (e.g., the x86 and x86_64 ISAs) include instructions that allow unaligned access, but may result in performance degradation. In our implementation, we pad the ucis sections in the ct1 array, so that the accesses of delta indices are always performed in an aligned manner.

5.3 Performance evaluation

5.3.1 Experimental setup

To evaluate CSR-DU, we performed experimental runs using several different combinations for the method’s parameters. Versions with aligned deltas and unit offsets performed better or similar than the rest, and so we present only them in the following results. Regarding sequential units, we consider three cases: absence of sequential units (*noseq*) and sequential units with a minimum of 8 (*seq=8*) and 4 (*seq=4*) elements. It should be noted that *seq=4* performs more aggressive compression than *seq=8*.

We compare CSR-DU performance against both CSR and BCSR. For the BCSR method we performed experiments with a number of different block shapes configurations‡, using specialized SpMxV versions (i.e., as the one in Listing 3.3). In the following results we demonstrate best performing BCSR case over all available block shape configurations. Our setup is otherwise similar to the one described in Section 4.5.1: we perform our experiments on two systems (Harpertown and Nehalem), using a suite of 50 matrices (Table 4.3).

5.3.2 Results

Size reduction

Table 5.2 lists the compression ratios achieved for each matrix in our suite. The large-dense matrix maximizes CSR-DU size reduction resulting in 24.9% and 33.2% ratios for *noseq* and sequential units, respectively. Compression ratios on other matrices vary largely, ranging from zero (Freescale1) to close to maximum (TSOPF_RS_b2383). On average, CSR-DU reduces matrix data by 14.2% for *noseq*, 19.3% for *seq=8* and 21.1% for *seq=4*. BCSR, on the other hand, is not able to efficiently capture the structure of matrices in our suite since it increases the size of 28 matrices. BCSR averages a 13.2% size increase over all matrices and a 16.1% size decrease over matrices that effectively compresses (22 matrices). Moreover, only for 2 matrices (F1, thermomech_dk) BCSR achieves better reduction than CSR-DU *seq=4*. As these results illustrate, CSR-DU is more stable than BCSR since by design it does not increase matrix size at any case — at worst size will remain unaffected.

Harpertown

First, we discuss results on Harpertown. Figure 5.5 shows the average speedup of CSR, BCSR, and CSR-DU over single-threaded CSR, for different thread affinity configurations. BCSR performs worse than CSR on average for all cases, a result of the large number of matrices for which BCSR increases their size. When all cores are utilized, CSR-DU methods perform better on average than CSR and BCSR. The *seq=4* case achieves the best average speedup for 8 threads (2.45), improving performance by 28.7% and 35.0% over CSR and BCSR average, respectively. An interesting aspect of CSR-DU variants performance is that the best version for 8 threads (*seq=4*) has the lowest performance in the serial case (7% slowdown compared to CSR). The latter exem-

‡the block shapes considered were: 1×2 , 1×3 , 1×4 , 2×1 , 2×2 , 2×3 , 2×4 , 3×1 , 3×2 , 4×1 , 4×2

matrix name	size reduction (%)				matrix name	size reduction (%)			
	BCSR (max)	DU				BCSR (max)	DU		
		noseq	seq=8	seq=4			noseq	seq=8	seq=4
boneS10	22.5	16.6	27.1	30.0	G3_circuit	-27.1	9.3	9.3	9.3
ldoor	9.5	6.9	19.9	30.1	cage13	-56.2	11.1	11.1	11.1
inline_1	22.4	4.7	15.8	22.8	rajat30	-31.6	9.9	10.7	14.0
fdif202x202x102	-38.5	15.9	15.9	15.9	pre2	-38.5	14.1	14.6	14.8
F1	22.3	5.8	16.2	21.0	Hamrle3	-6.2	17.8	17.8	19.6
rajat31	-39.3	21.5	21.5	21.5	largebasis	15.7	0.7	19.2	21.8
msdoor	10.2	11.9	22.3	29.1	Chebyshev4	-28.3	20.8	26.0	26.0
Freescale1	-31.7	0.5	0.5	0.6	apache2	-37.7	15.9	15.9	15.9
Ga41As41H72	-16.9	16.6	21.7	25.1	s3dkq4m2	16.7	16.6	31.8	31.8
af_shell9	12.0	16.6	28.8	30.9	ship_001	6.2	16.8	28.7	31.2
af_5_k101	12.1	16.5	28.8	30.9	torso3	-25.4	15.3	15.3	15.3
TSOPF_RS_b2383	26.3	21.0	33.1	33.1	thread	22.3	17.1	26.5	28.2
kkt_power	-61.2	5.2	5.2	5.2	ASIC_680k	-32.6	7.5	9.1	10.9
Si41Ge41H72	-13.5	16.6	21.8	25.7	large-dense	29.2	24.9	33.2	33.2
random100000	-66.3	16.7	16.7	16.7	barrier2-9	-37.6	16.8	16.8	17.3
nd12k	16.4	16.7	29.3	30.0	xenon2	19.4	21.0	21.0	21.8
crankseg_2	5.8	16.8	25.8	28.7	parabolic_fem	-46.9	1.0	1.0	1.0
pwtk	14.1	15.7	31.3	31.6	FEM_3D_thermal2	-13.7	19.3	19.3	19.3
bmw3_2	7.4	17.5	25.9	30.0	sme3Dc	-58.0	16.8	16.8	16.8
ohne2	-24.8	16.7	17.8	20.0	stomach	-29.7	21.5	21.5	21.5
hood	10.4	11.3	22.5	29.3	thermomech_dK	25.6	12.8	12.8	13.1
Si87H76	-29.6	16.6	20.4	22.7	helm2d03	-52.1	1.4	1.4	3.8
bmwcra_1	22.4	16.7	25.7	28.4	ASIC_680ks	-31.7	17.8	20.3	22.3
atmosmodj	-38.4	16.0	16.0	16.0	poisson3Db	-60.0	17.1	17.1	17.1
thermal2	-42.5	12.5	12.5	13.3	rma10	5.3	19.1	26.1	29.4

Table 5.2: Size reduction achieved by BCSR and CSR-DU compared to CSR. For BCSR we select the block shape that achieved maximum size reduction.

plifies the negative effect of decompression computational overhead when the system’s memory bandwidth is adequate to perform SpMxV without memory stalls.

Figure 5.8 shows the performance improvement of BCSR and CSR-DU over CSR for individual matrices, when all 8 cores are utilized. An important observation is that the CSR-DU method does not exhibit significantly reduced performance over CSR for any matrix in our suite. For BCSR, however, a significant number of matrices take a performance hit compared to CSR, due to a significant size increase.

Figure 5.7 shows the association of size reduction and SpMxV performance improvement for BCSR and CSR-DU. Since BCSR is computationally more efficient than CSR (e.g., by applying register blocking), it improves performance even for the serial case on fitting matrices, i.e. matrices whose size is reduced (Figure 5.7a). The additional benefit of alleviating memory bandwidth pressure via size reduction further increases performance improvement when all 8 cores are utilized (Figure 5.7c). On the other hand, CSR-DU imposes a substantial computational overhead

that restrains performance improvement on the serial case (Figure 5.7b). When multiple threads are utilized, however, the overhead is amortized and performance significantly improves (Figure 5.7d).

Selecting the optimal storage format is not a straightforward task, since performance depends on the system architecture and the matrix structure in ways that are not always visible nor simple. Figure 5.6 depicts a breakdown of the best performing methods distribution for our matrix suite. Concentrating on the full core utilization case for Harpertown, CSR-DU is a good universal choice for our suite, since it achieves best performance for 43 matrices. For the same case, BCSR achieves the best performance for 4 matrices and CSR for 3. When only one thread is utilized, the best performing methods distribution is more balanced: CSR achieves best performance for 17 matrices, BCSR for 15 and CSR-DU for 18. In general, we argue that as long as the main bottleneck is memory bandwidth, CSR-DU is a more promising option than BCSR and CSR. When the memory bandwidth bottleneck becomes less severe, the computation overhead imposed by decompression is not amortized, making CSR-DU less attractive.

Nehalem

Next, we present experimental results on the Nehalem system, where we only consider NUMA-aware versions for the methods discussed. Figure 5.9 demonstrates the average speedup of considered methods over serial CSR. When all cores are utilized ($4c \times 2d$), the best average speedup for CSR-DU is 4.6 — a 12.2% and 11.7% improvement over CSR and BCSR averages respectively — and is achieved by $seq=8$. Hence, even for the Nehalem system, where the memory bottleneck is less severe, there is a margin for performance improvement by applying CSR-DU. Interestingly, when all SMT threads are utilized ($2t \times 4c \times 2d$), CSR-DU average for $seq=4$ and $seq=8$ is improved; all other methods result in a slowdown.

Figure 5.12 presents BCSR and CSR-DU improvement over CSR for each matrix in our suite when all threads are utilized ($2t \times 4c \times 2d$). CSR-DU performs worse than CSR for only five matrices (`helm2d03`, `sme3Dc`, `parabolic_fem`, `G3_circuit`, `Freescale1`) and in some cases the difference is marginal. Thus, we argue that, CSR-DU is fairly stable, even when the memory bottleneck is alleviated by the system's architectural characteristics.

The effect of size reduction on performance improvement for Nehalem (Figure 5.11) is qualitatively analogous to the one for Harpertown. The large memory bandwidth of Nehalem differentiates results by restraining the benefits from compression even when all threads are utilized. Hence, a notable number of points in the CSR-DU graph for 16 threads (Figure 5.11d) are below the y axis, i.e. they perform worse than CSR.

Figure 5.10 illustrates the distribution of best performing methods. For a single thread, CSR achieves the best performance for 19 matrices, BCSR for 22 and CSR-DU for 9. However, as the number of cores utilized increases, CSR-DU becomes the most attractive option: for $4c \times 2d$ CSR-DU performs best for 36 matrices, BCSR for 9 and CSR for 5.

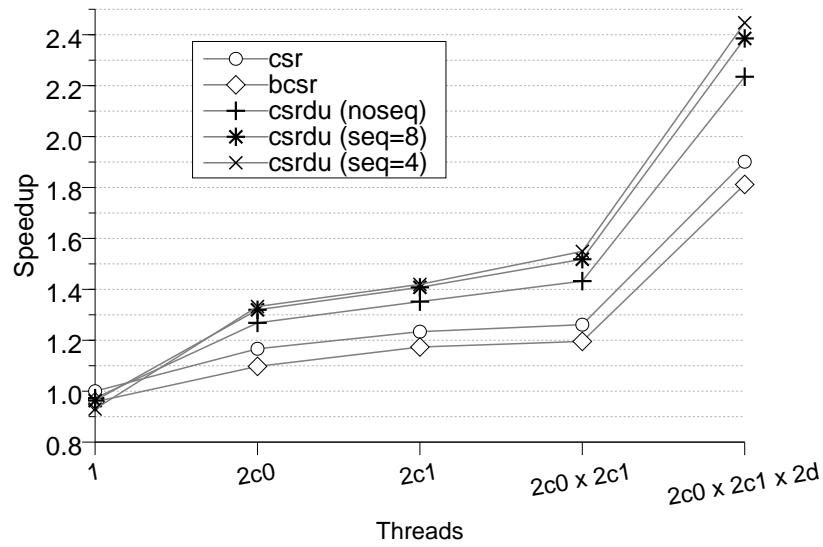


Figure 5.5: Average CSR, BCSR and CSR-DU parallel speedup over serial CSR on Harpertown. BCSR average is derived from best the performing case for each matrix over all considered block shapes.

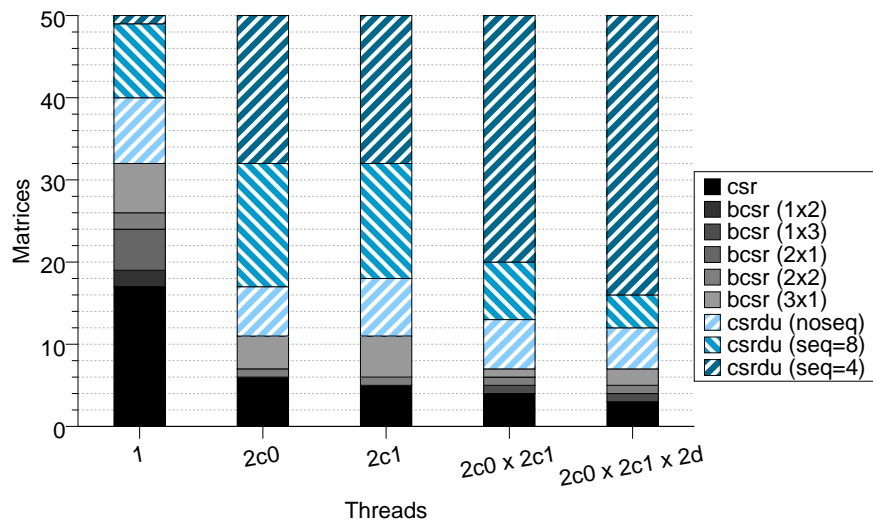


Figure 5.6: Distribution of best performing methods on Harpertown.

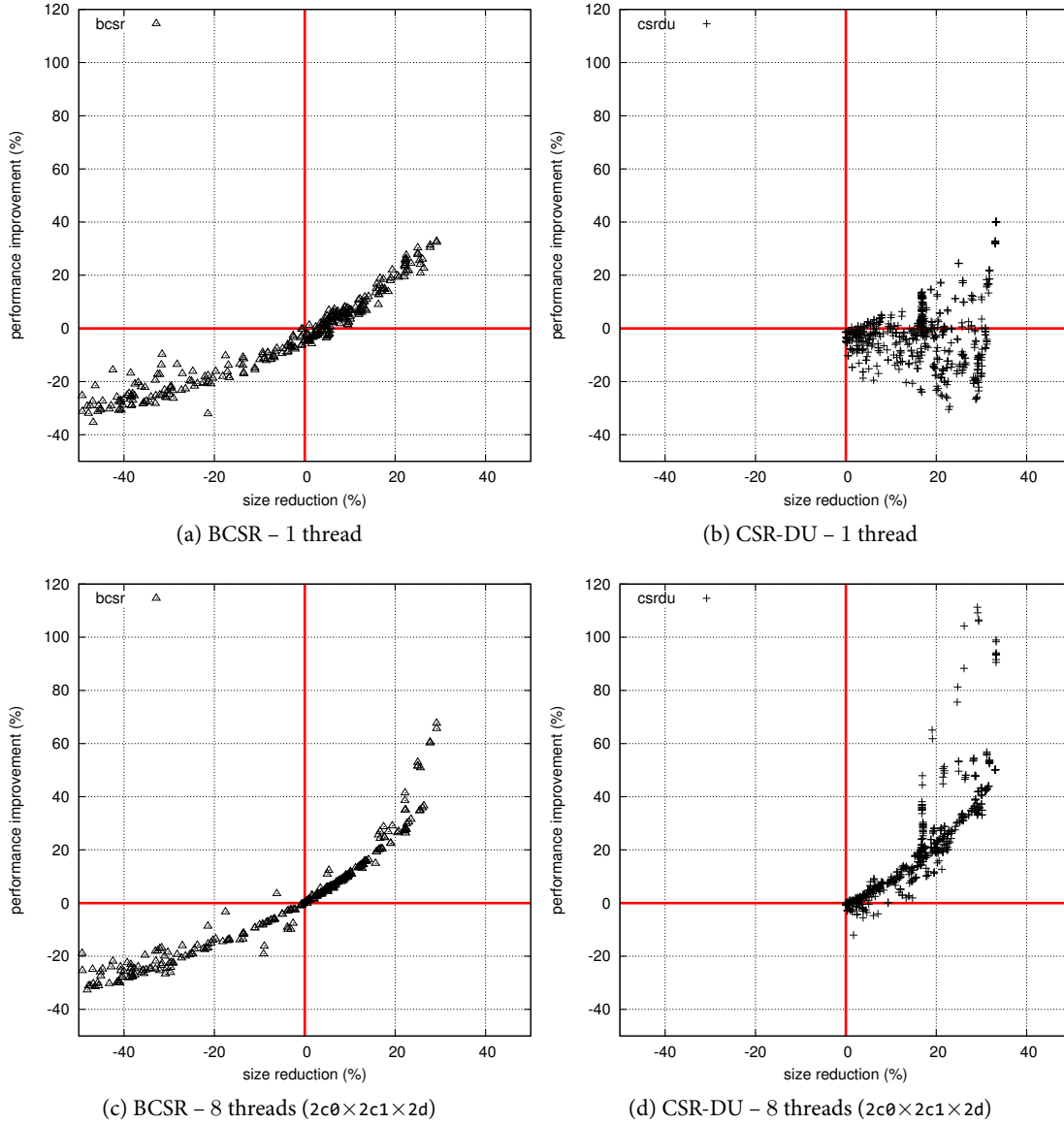


Figure 5.7: Relation of size reduction and performance improvement of BCSR and CSR-DU over CSR for 1 and 8 threads on Harpertown. We consider all matrices in our suite and different variants for each method. Specifically, for BCSR we consider all possible block configurations, while for CSR-DU we consider versions with and without unit offsets, with and without aligned deltas and with and without sequential units ($seq=4$, $seq=8$, $noseq$).

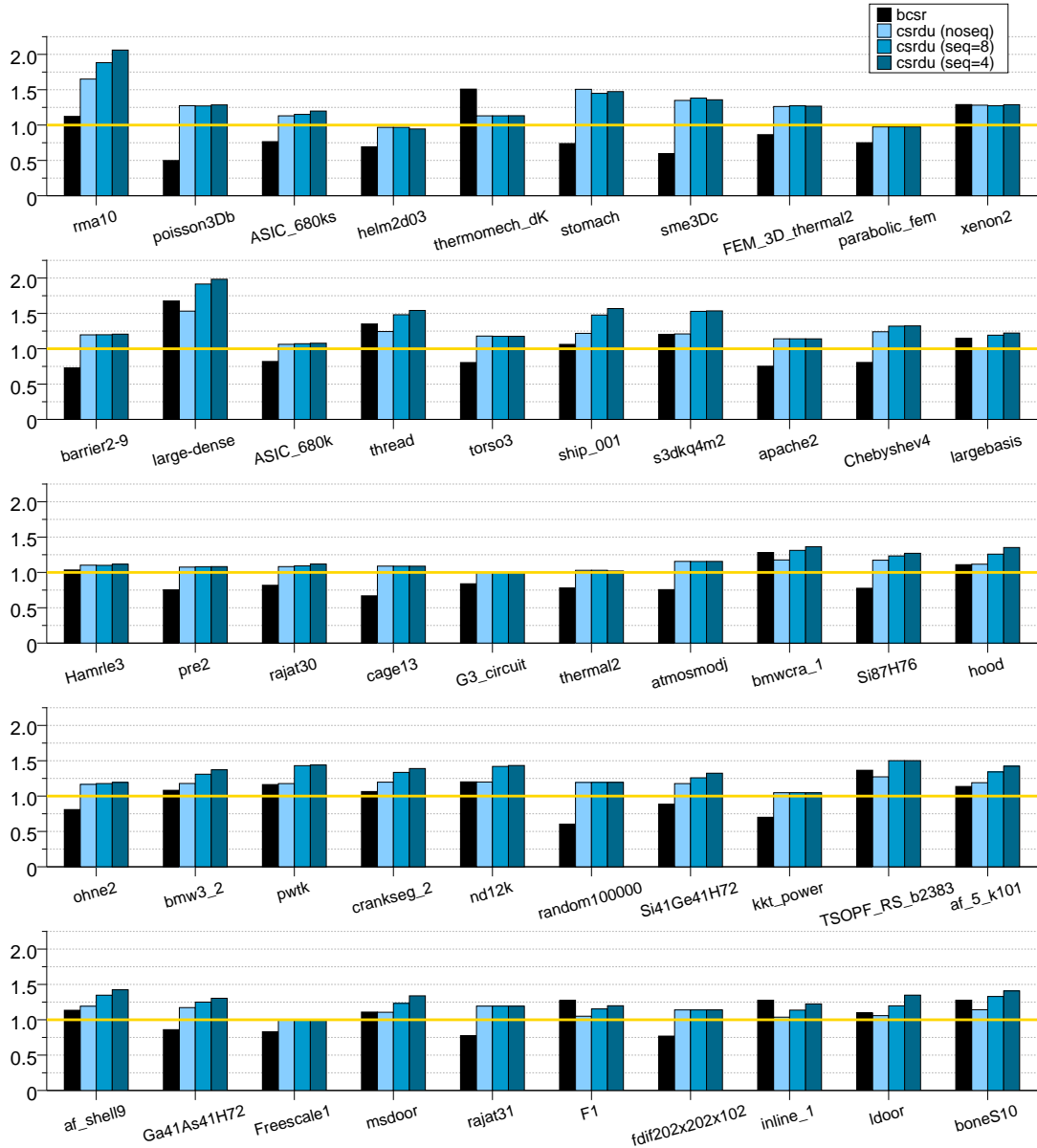


Figure 5.8: Performance improvement of BCSR and CSR-DU over CSR for individual matrices when all 8 Harpertown cores are utilized. We use the best performing block shape for BCSR.

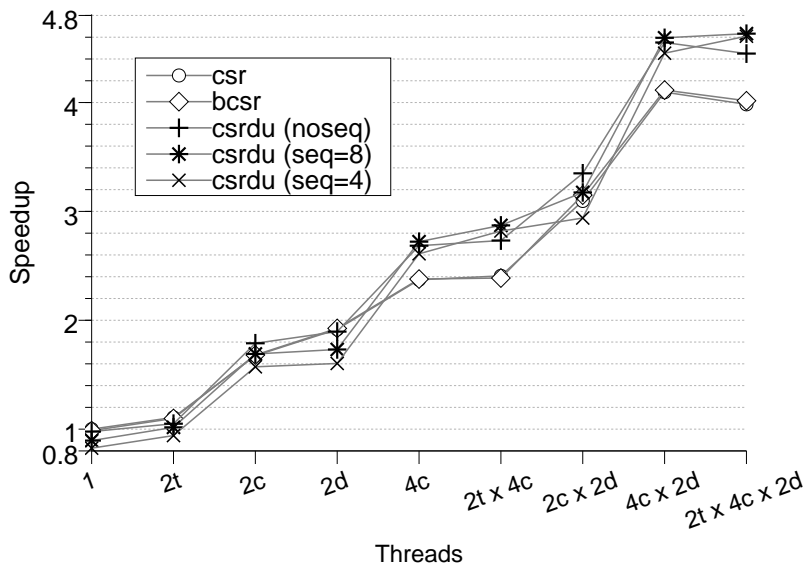


Figure 5.9: Average CSR, BCSR and CSR-DU parallel speedup over serial CSR on Nehalem. BCSR average is derived from best the performing case for each matrix over all considered block shapes.

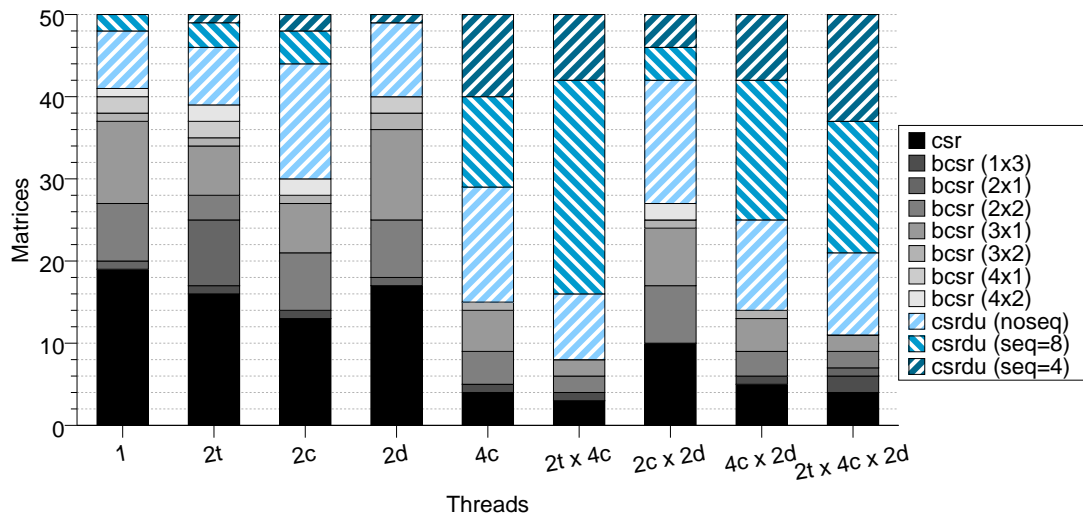
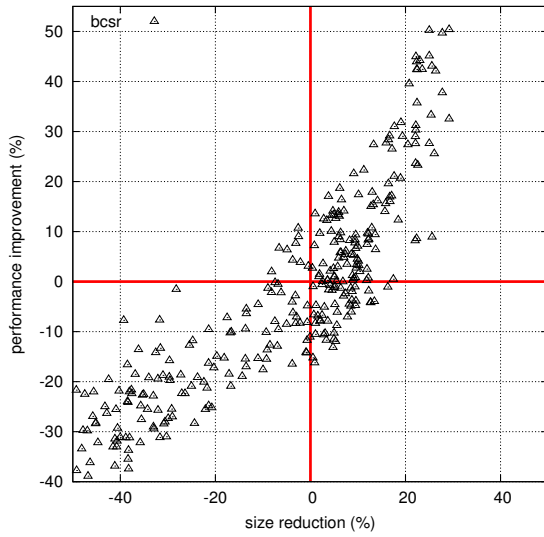
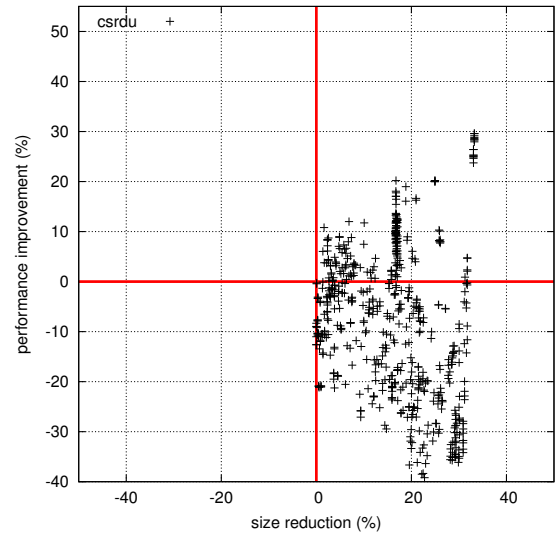


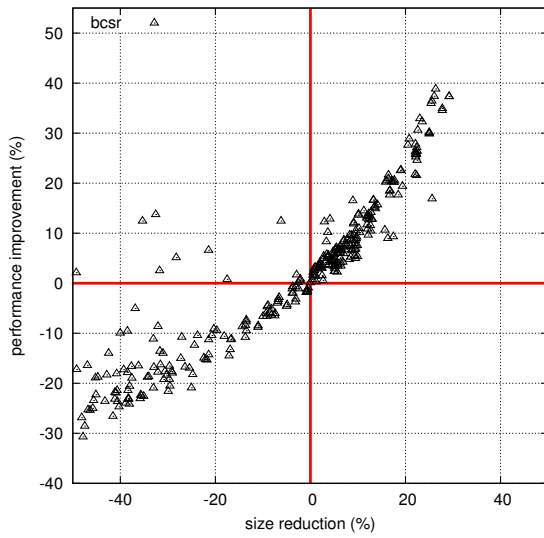
Figure 5.10: Distribution of best performing methods on Nehalem.



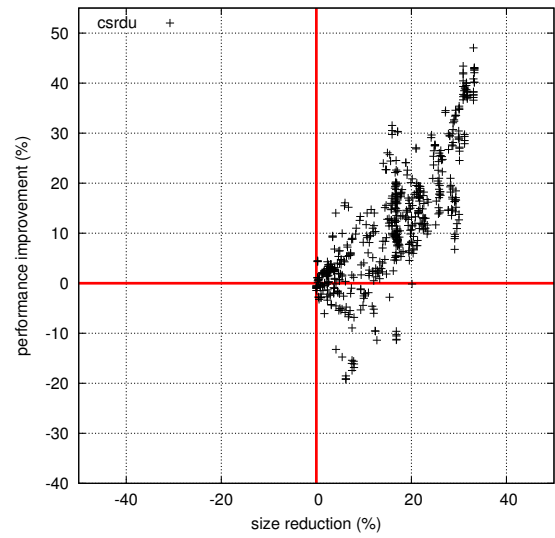
(a) BCSR – 1 thread



(b) CSR-DU – 1 thread



(c) BCSR – 16 threads ($2t \times 4c \times 2d$)



(d) CSR-DU – 16 threads ($2t \times 4c \times 2d$)

Figure 5.11: Relation of size reduction and performance improvement of BCSR and CSR-DU over CSR for 1 and 16 threads on Nehalem. We consider all matrices in our suite and different variants for each method. Specifically, for BCSR we consider all possible block configurations, while for CSR-DU we consider versions with and without unit offsets, with and without aligned deltas and with and without sequential units ($seq=4$, $seq=8$, $noseq$).

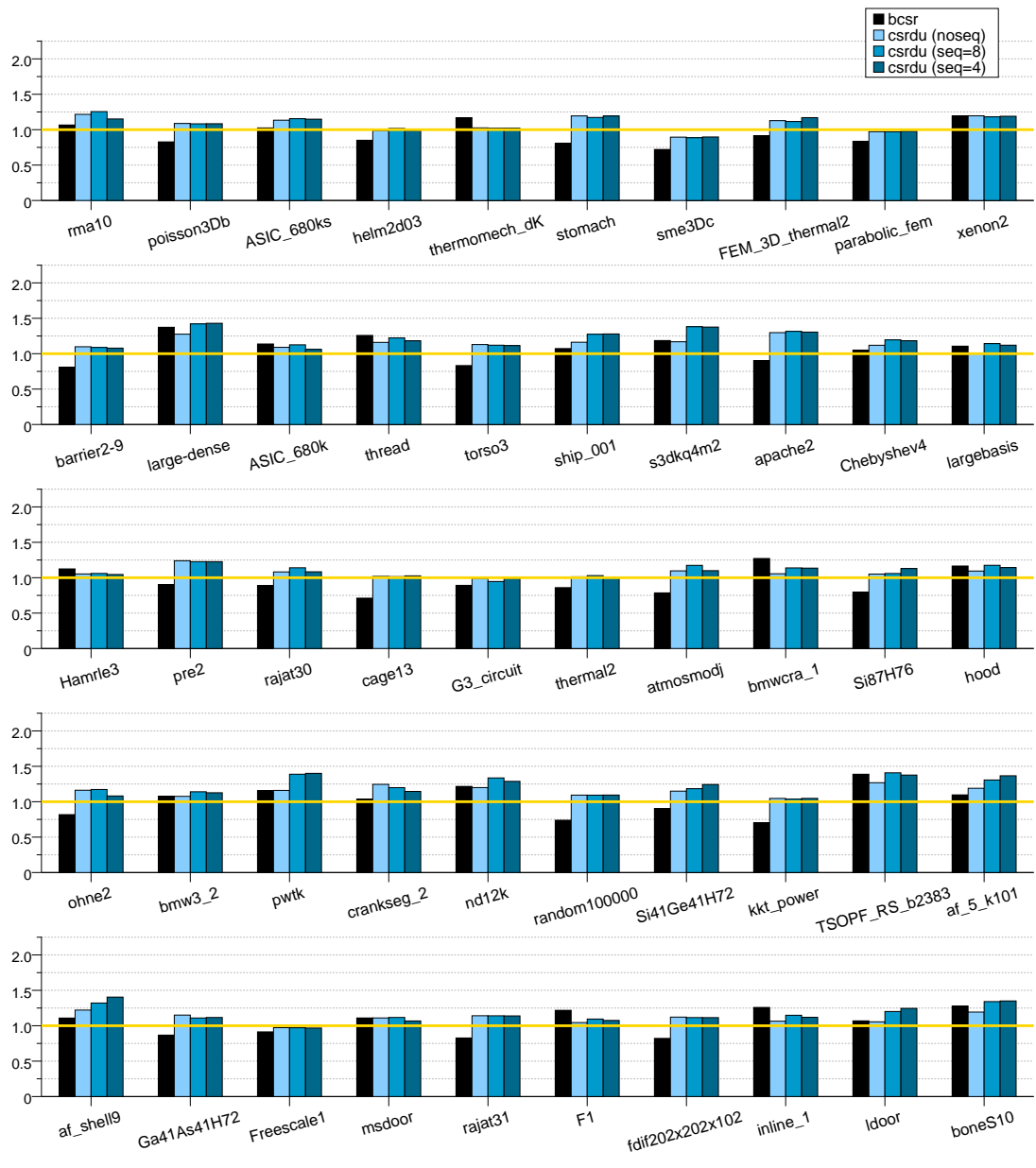


Figure 5.12: Performance improvement of BCSR and CSR-DU over CSR for individual matrices when all 16 Nehalem threads are utilized. We use the best performing block shape for BCSR.

5.4 Related work

A significant part of the SpMxV optimization techniques reported in the related literature result in index data reduction. Typical examples are blocking methods such as BCSR that store only per-block index information. Traditionally the main focus of BCSR has been serial performance improvement (e.g., via register blocking) and not working set reduction. For this reason, BCSR has several disadvantages if used as a compression technique. First and foremost, depending on the matrix structure, it may increase the total size of the matrix due to padding (see Table 4.3). Secondly, it relies on constant-shape blocks, which limits its capability to adapt to more complex matrix structures.

Pinar and Heath [PH99] describe a one-dimensional variable block scheme, similar to the one used for CSR-DU sequential units. They also discuss column reordering techniques that aim to align the non-zero elements of a row in consecutive locations as much as possible. CSR-DU could benefit from similar reordering techniques towards two directions: (a) creating larger sequential units and (b) creating denser units that require smaller delta values. Although not strictly equivalent, the latter is strongly related with matrix bandwidth reduction techniques than have been extensively studied in the past because they relate to SpMxV cache performance [TJ92, PHCR04].

One of the few works that explicitly targets the compression of the index data is [WL06]. In this paper, Willcock and Lumsdaine propose two methods: *DCSR*, which compresses column indices using a byte-oriented delta encoding scheme to exploit the highly redundant nature of the `col_ind` array and *RPCSR*, which generates matrix-specific dynamic code by applying aggressive compression on column indices patterns for the whole matrix. We will focus our comparison on the DCSR method, which operates on the same level as CSR-DU. DCSR encodes the matrix using a set of six command codes for primitive sub-operations that can be used to implement the SpMxV kernel. Examples of such sub-operations are the increment of the current row and column index, and the multiplication of a number of the matrix values with the appropriate vector elements. A significant performance problem of this approach is that the decoding of these sub-operations must be performed very often, which results in frequent mispredicted branches. This problem is dealt by a form of unrolling where patterns of frequent instances of six of these sub-operations are grouped together allowing them to be executed sequentially, i.e., without branches. Contrarily, our approach, which is also based on delta encoding, tackles the problem of branch misprediction performance penalties in a more basic level by being more coarse-grained. This allows for a much simpler and general implementation, while sustaining a small performance gain gap compared to the DCSR method. Moreover, it can handle worst-case scenarios of the DCSR method such as matrices that exhibit large variation with regard to the patterns encountered.

Another recent work that targets performance improvement by reducing the index data volume is [BBR09], which proposes a matrix representation that exploits repeated block patterns. The authors search for frequently met block patterns and generate specialized inner loops for those, on top of a dispatch logic. They provide an evaluation of a parallel version, but they focus primarily on serial performance.

6

Value compression using Indirect Accesses

6.1 Motivation and general approach

As mentioned in Section 4.2.2, values typically constitute the larger part of the working set of a CSR sparse matrix because they require 64-bit storage. Hence, value compression is potentially more beneficial than index compression in terms of working set reduction. Conversely with index data, value data do not inherently contain redundancy in the general case. Moreover, the (lossless) compression of floating point values is not as straightforward as integers, because floating point arithmetic operations produce rounded results.

Nevertheless, we have noticed that a significant number of matrices from our experimental set contain a small number of unique values, relative to the total non-zero values (nnz). From an information theory perspective this results in low entropy for the value data, making them a good target for compression. Since we aim at a computationally light decompression scheme we follow a simple approach: instead of storing all the nnz values, we store only the common values and pointers to them. If the total-to-unique values ratio is high enough, the working set data volume will be reduced. Adequate size reduction can lead to SpMxV execution time decrease, despite the overhead induced by indirectly accessing each value. In other words, our approach applies a transformation in the value data, where a large number of numeric values is replaced with the same number of indices and a much smaller number of values. Storing individual indices using less space than individual values leads to data volume reduction. Next, we describe the specifics of our proposed format, called CSR-VI.

6.2 The CSR-VI storage format

The CSR-VI (CSR with Values Indirect) format replaces the CSR `values` array with two arrays: `vals_unique` and `val_ind`. The first contains only the unique matrix values. The second contains indices in the `vals_unique` array for each of the nnz matrix elements. To achieve working set size reduction, `val_ind` size must be significantly smaller than `values` size. A simple approach towards this goal is to reduce the storage requirements of individual value indices compared to the storage requirements of original values. Hence, in CSR-VI the value index size is determined by

the number of the unique values that need to be addressed. For example, if there exist uv unique values and $2^8 < uv \leq 2^{16}$, then a 2-byte integer will be used for each value index. Although this approach does not optimally compresses value indices, it introduces a small overhead because it does not add any branches. An example of this value structure is presented in Figure 6.1, which contains the values of the matrix shown in Figure 3.3.

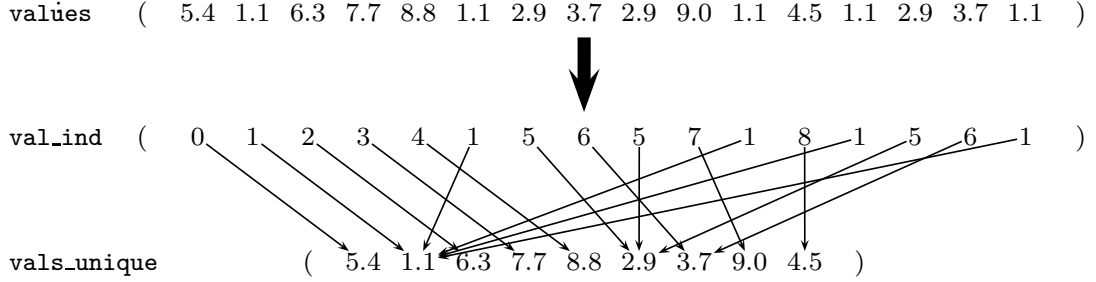


Figure 6.1: Example of the value indexing structure for the CSR-VI format.

CSR-VI is a specialized method, i.e., it can be meaningfully applied only to matrices with a large number of common values. To elaborate on the method's applicability for a given matrix, we define the *total-to-unique* (ttu) values ratio, as the fraction of the number of non-zero elements (nnz) to the number of unique values (uv):

$$ttu = \frac{nnz}{uv}$$

A high ttu value indicates that the matrix is fitting for the CSR-VI method, while a small one shows that CSR-VI will most likely result in slowdown. Using ttu and the storage size of value indices (s_{vi}) we can express the reduction on value data (κ) when CSR-VI is applied:

$$\kappa = 1 - \frac{\mathcal{V}_{csrvi}}{\mathcal{V}_{csr}} = 1 - \frac{uv \cdot s_{val} + nnz \cdot s_{vi}}{nnz \cdot s_{val}} = 1 - \left(\frac{uv}{nnz} + \frac{s_{vi}}{s_{val}} \right) = 1 - \left(\frac{1}{ttu} + \frac{s_{vi}}{s_{val}} \right)$$

If we store individual value indices as integers with the minimum possible size, as discussed previously, we can express their storage size s_{vi} as:

$$s_{vi} = \begin{cases} 1 \text{ byte,} & uv \leq 2^8 & = 256 \\ 2 \text{ bytes,} & 2^8 < uv \leq 2^{16} & = 65,536 \\ 4 \text{ bytes,} & 2^{16} < uv \leq 2^{32} & = 4,294,967,296 \end{cases}$$

It is possible to further reduce the storage volume of value indices by using more elaborate techniques. For instance, instead of using standard integers we could encode value indices using only the necessary number of bytes ($\lceil \frac{1 + \lfloor \log_2 uv \rfloor}{8} \rceil$), or only the necessary number of bits ($1 + \lfloor \log_2 uv \rfloor$). These techniques, however, are more complex and induce additional decompression overhead.

CSR-VI compression can be implemented using a hash table and, as in CSR-DU, its complexity is $\mathcal{O}(nnz)$. Algorithm 6.1 shows the compression procedure. The SpMxV kernel implementation for CSR-VI is shown in Listing 6.1. It can be easily derived from the CSR case by replacing the access of values with an indirect access of `vals_unique` based on the value of `val_ind`. Even though the resulting code contains an additional memory reference for each of the nnz elements, it will lead to fewer data being transferred from memory when the number of unique values is relatively small. Nevertheless, working set reduction alone is not sufficient to achieve performance improvement; the additional overhead of indirect accesses must be amortized.

Algorithm 6.1: CSR-VI compression procedure.

```

Initialization:
   $h \leftarrow \{ \}$  // hash table for storing unique values
   $vis \leftarrow [ ]$  // array of value indices
   $uvs \leftarrow [ ]$  // array of unique values
foreach  $V$  in  $Values$  do
  | if  $V$  not in  $h$  then
  | |  $vi \leftarrow uvs.size()$  // get (new) value index
  | |  $uvs.add(V)$  // add current value to unique values
  | |  $h[Val] \leftarrow vi$  // store value index in hash table
  | else
  | |  $vi \leftarrow h[Val]$  // restore value index from hash table
  |  $vis.add(vi)$  // add value index in array

```

```

for( $i=0$ ;  $i<N$ ;  $i++$ )
  for( $j=row\_ptr[i]$ ;  $j<row\_ptr[i+1]$ ;  $j++$ )
     $y[i] += vals\_unique[val\_ind[j]] * x[col\_ind[j]]$ ;

```

Listing 6.1: CSR-VI SpMxV implementation.

6.3 Combining CSR-DU and CSR-VI

CSR-DU and CSR-VI can be applied independently, because they operate on different data sets: CSR-DU is concerned with index data, while CSR-VI with matrix numerical values. We will refer to their combination as CSR-DUVI, a storage format that applies compression to both index and value data. Obviously, CSR-DUVI is not a general format, but can only be applied to matrices with a small number of unique values. The CSR-DUVI SpMxV kernel implementation is shown in Listing 6.2.

```

usize = ctl_get_u8(ctl);
uflags = ctl_get_u8(ctl);
if ( flags_new_row(uflags) ){
    y_indx++;
    x_indx = 0;
}
switch ( flags_type(uflags) ){
    case CSR_DU_U8:
        for (i=0; i<usize; i++) {
            x_indx += ctl_get_u8(ctl);
            v_indx = *(val_ind++);
            y[y_indx] += vals_unique[v_indx] * x[x_indx];
        }
        break;

    case CSR_DU_U16:
        for (i=0; i<usize; i++) {
            x_indx += ctl_get_u16(ctl);
            v_indx = *(val_ind++);
            y[y_indx] += vals_unique[v_indx] * x[x_indx];
        }
        break;

    ...
}

```

Listing 6.2: SpMxV code for CSR-DUVI.

6.4 Performance evaluation

6.4.1 Experimental setup

Our experimental setup is similar to the one described in Section 4.5.1: we use two multicore systems (Harpertown and Nehalem), 32-bit indices and 64-bit values, and a suite of 50 matrices (see Table 4.3) as a starting point. Table 6.1 lists the number of unique values and the *ttu* ratio for each matrix. Since not all matrices are suitable for our method, we refine our set using the empirical criterion $ttu \geq 5$. Moreover, we discard matrices *random100000* and *large-dense* because they have randomly created values. The resulting subset has 22 matrices, which is a significant portion of the original set. For NUMA-aware methods on the Nehalem system, data shared between threads, e.g., the unique values array, are allocated using standard mechanisms (i.e., `malloc()`).

matrix characteristics			size reduction (%)			
name	uvals	ttu	VI	DUVI		
				noseq	seq=8	seq=4
boneS10	40	1,386,710.6	58.0	74.6	85.2	88.1
ldoor	21,675,099	2.1	-	-	-	-
inline_1	18,016,122	2.0	-	-	-	-
fdif202x202x102	4	6,960,000.0	55.7	71.6	71.6	71.6
F1	13,038,962	2.1	-	-	-	-
rajat31	3,985	5,098.2	46.4	67.9	67.9	67.9
msdoor	9,777,773	2.1	-	-	-	-
Freescall1	9,418,239	2.0	-	-	-	-
Ga41As41H72	3,597,854	5.1	20.3	36.9	41.9	45.4
af_shell9	968,711	18.2	29.4	45.9	58.1	60.3
af_5_k101	9,027,150	1.9	-	-	-	-
TSOPF_RS_b2383	762,680	21.2	30.2	51.1	63.2	63.2
kkt_power	84,245	173.5	31.5	36.7	36.7	36.7
Si41Ge41H72	4,665,454	3.2	-	-	-	-
random100000	10,000	1,497.8	-	-	-	-
nd12k	4,857,071	2.9	-	-	-	-
crankseg_2	4,397,887	3.2	-	-	-	-
pwtk	5,592,868	2.1	-	-	-	-
bmw3_2	4,126,650	2.7	-	-	-	-
ohne2	5,271,361	2.1	-	-	-	-
hood	5,048,077	2.1	-	-	-	-
Si87H76	334,180	31.9	31.0	47.6	51.4	53.7
bmwcra_1	3,153,346	3.4	-	-	-	-
atmosmodj	4	2,203,720.0	55.7	71.6	71.6	71.6
thermal2	4,819,424	1.8	-	-	-	-
G3_circuit	241	31,787.7	54.6	63.9	63.9	63.9
cage13	417	17,936.1	49.0	60.1	60.1	60.1
rajat30	683,418	9.0	25.1	35.0	35.8	39.1
pre2	781,486	7.6	23.7	37.8	38.3	38.5
Hamrle3	53	104,042.3	53.6	71.5	71.5	73.2
largebasis	317	17,539.7	48.7	49.4	67.9	70.6
Chebyshev4	1,550,644	3.5	-	-	-	-
apache2	40	120,446.8	55.6	71.5	71.5	71.5
s3dkq4m2	74,283	64.9	32.1	48.7	63.9	63.9
ship_001	1,209,604	3.8	-	-	-	-
torso3	3,121,632	1.4	-	-	-	-
thread	2,085,970	2.1	-	-	-	-
ASIC_680k	80,211	48.3	30.2	37.7	39.3	41.1
large-dense	32,767	122.1	-	-	-	-
barrier2-9	1,095,875	3.6	-	-	-	-
xenon2	93,364	41.4	31.3	52.3	52.3	53.1
parabolic_fem	259,125	14.2	27.3	28.3	28.3	28.3
FEM_3D_thermal2	1,880,768	1.9	-	-	-	-
sme3Dc	2,358,393	1.3	-	-	-	-
stomach	2,257,584	1.3	-	-	-	-
thermomech_dK	1,967,432	1.4	-	-	-	-
helm2d03	109,526	25.0	29.3	30.7	30.7	33.1
ASIC_680ks	40,708	57.2	44.5	62.3	64.7	66.8
poisson3Db	2,374,908	1.0	-	-	-	-
rma10	1,223,223	1.9	-	-	-	-

Table 6.1: Size reduction of CSR-VI and CSR-DUVI over CSR. The columns of the table have the following meaning: *uvals* is the number of unique values in the matrix, *ttu* is the total-to-unique values ratio of the matrix and columns *VI* and *DUVI* show the size reduction achieved by methods CSR-VI and CSR-DUVI respectively.

6.4.2 Size reduction

The achieved compression of CSR-VI and CSR-DUVI over CSR for the selected matrices is shown in Table 6.1. CSR-VI achieves an average reduction of 39.2%, the maximum and the minimum being 58.8% (*boneS10*) and 20.3% (*Ga41As41H72*), respectively. Combining CSR-VI and CSR-DU further decreases matrix data volume: CSR-DUVI averages a size reduction of 52.4% for *noseq*, 56.2% for *seq=8* and 57.3% for *seq=4*.

6.4.3 CSR-VI

First, we present SpMxV performance results for the Harpertown system. Figure 6.2 shows the average parallel speedup of CSR and CSR-VI over serial CSR. As expected, performance gain from value compression is larger than index compression, since we consider 32-bit indices and 64-bit values for our reference CSR implementation. Even in the serial case, CSR-VI achieves a 12.4% performance improvement over CSR. As the number of utilized cores increases, memory bandwidth bottleneck becomes more intense and working set reduction becomes more beneficial. For 8 threads the average CSR-VI speedup is 2.75, which is a 51.7% improvement over the corresponding CSR case. Figure 6.3 shows the performance improvement of CSR-VI over CSR for each individual matrix, when all 8 cores are utilized. CSR-VI leads to reduced performance for only *Ga41As41H72*, which is the matrix with the lower *ttu* value (5.1) in our suite.

Next, we discuss CSR-VI results on the Nehalem system. The ample memory throughput capabilities of Nehalem limit the potential CSR-VI benefits. CSR is able to utilize a large portion of these capabilities due to hardware prefetching. This technique, employed by modern processors, detects easily-predicted memory access patterns (e.g., sequential) and prefetches successive data into the cache hierarchy. Contrarily, CSR-VI performs random accesses on the *vals_unique* array; these accesses cannot be predicted, leading to increased memory latencies.

As can be seen in Figure 6.4, CSR-VI performs worse than CSR in the serial case (slowdown of 15%). In the $4c \times 2d$ case, however, CSR-VI reaches a speedup of 4.13, which is a 8.6% improvement over the corresponding CSR average speedup. When all available SMT threads at each core are utilized ($2t \times 4c \times 2d$) CSR-VI average is increased to 4.23. For $2t \times 4c \times 2d$, CSR-VI performs worse than CSR for 6 matrices (Figure 6.5).

6.4.4 CSR-DUVI

Figure 6.6 shows that, on average, serial CSR-DUVI SpMxV performance on Harpertown is similar to CSR. In the $2c0 \times 2c1 \times 2d$ case, however, CSR-DUVI results in a significant parallel speedup increase. More specifically, *seq=8* achieves a speedup of 4.04, which improves upon CSR and CSR-VI by 123% and 47%, respectively. Evidently, part of this large improvement is due to matrices which now fit, in whole or in a significant portion, into L2 cache. Moreover, as can be seen in Figure 6.7 CSR-DUVI improves performance over CSR for all matrices.

Regarding Nehalem, the best CSR-DUVI average speedup for $4c \times 2d$ (4.41) and $2t \times 4c \times 2d$ (4.57) is achieved by *seq=8* (Figure 6.8). The respective improvements over CSR-VI are 6.6% and 8.2%, and over CSR's best performing case ($4c \times 2d$) 15.7% and 20%. Finally, there are 5 matrices with reduced CSR-DUVI performance over CSR (Figure 6.9).

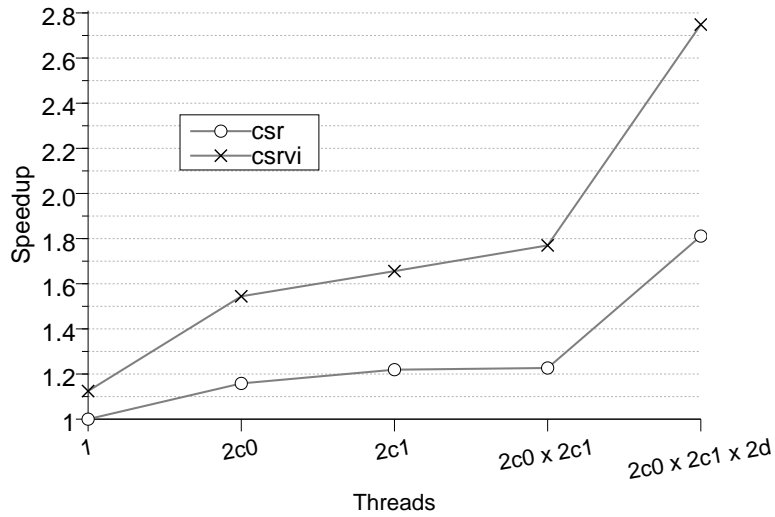


Figure 6.2: CSR and CSR-VI average parallel speedup of SpMxV over serial CSR on Harpertown.

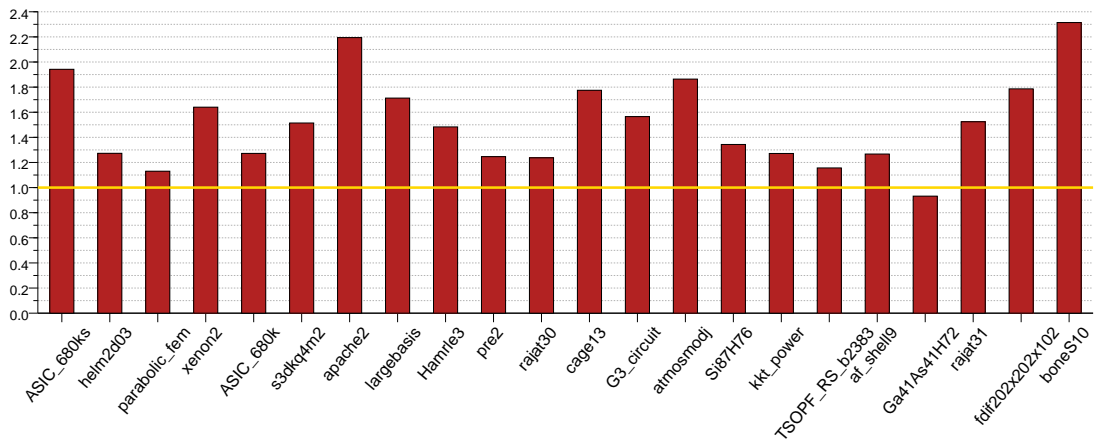


Figure 6.3: SpMxV performance improvement of CSR-VI over CSR for individual matrices, when all 8 Harpertown cores are utilized.

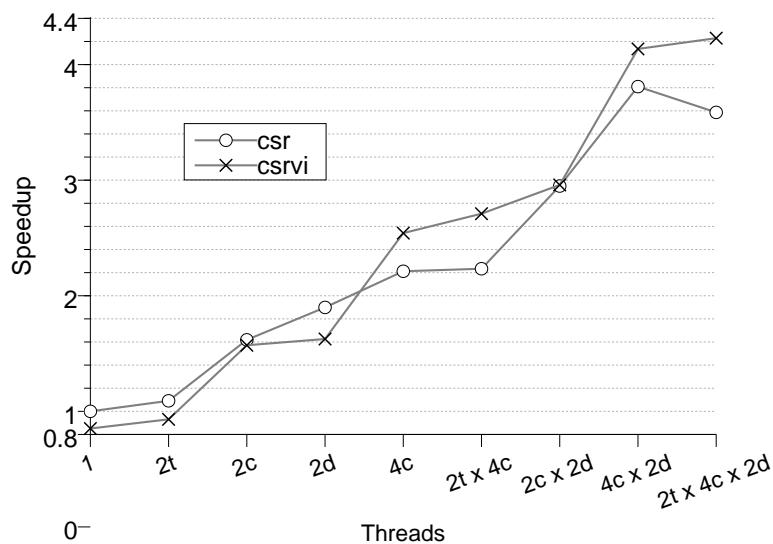


Figure 6.4: CSR and CSR-VI average parallel speedup of SpMxV over serial CSR on Nehalem.

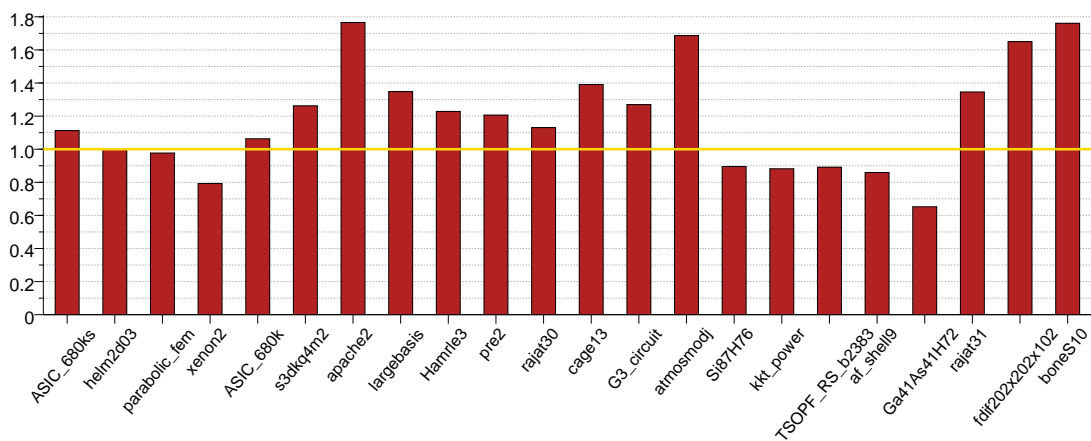


Figure 6.5: SpMxV performance improvement of CSR-VI over CSR for individual matrices, when all 16 Nehalem threads are utilized.

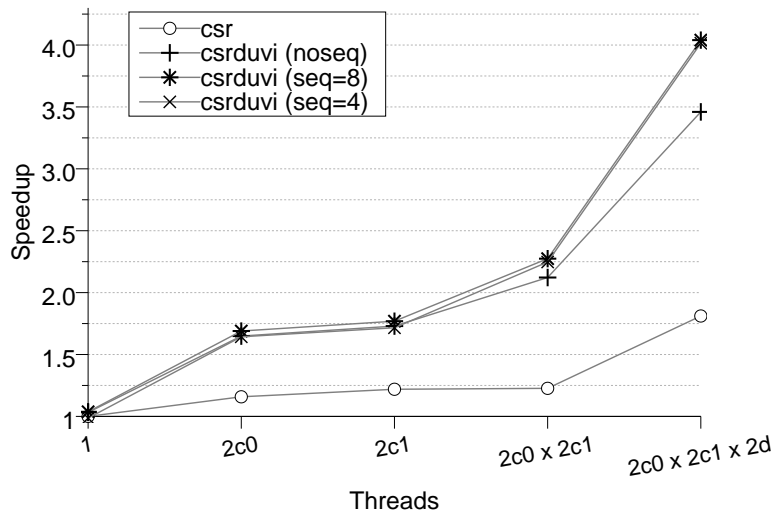


Figure 6.6: CSR and CSR-DUVI average parallel speedup over serial CSR on Harpertown.

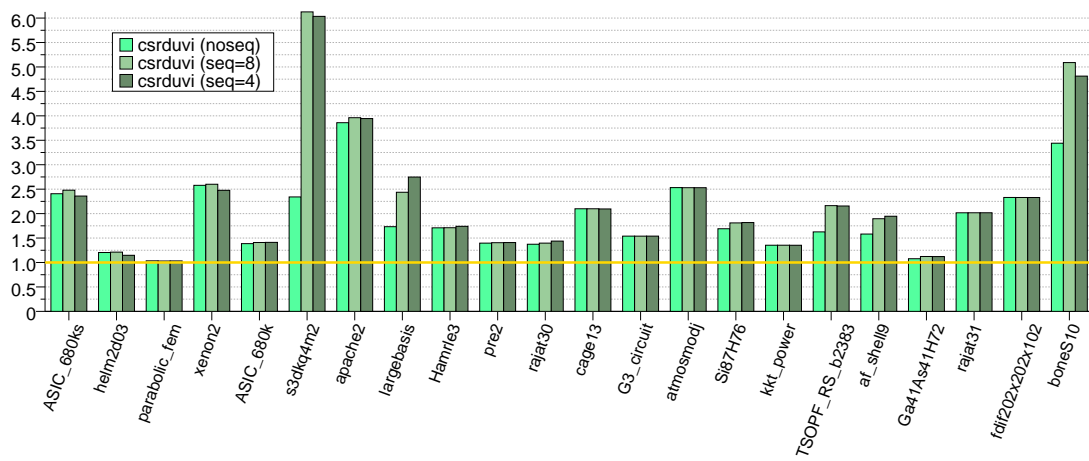


Figure 6.7: Performance improvement of CSR-DUVI over CSR for individual matrices, when all Harpertown 8 cores are utilized.

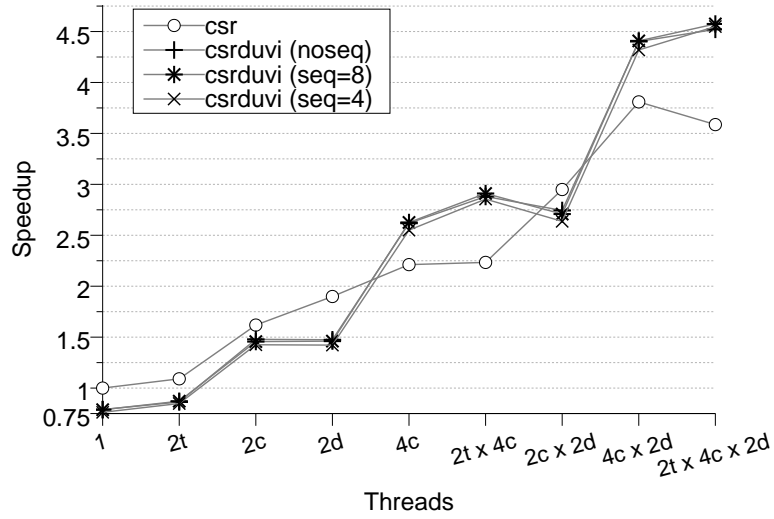


Figure 6.8: CSR and CSR-DUVI average parallel speedup over serial CSR on Nehalem.

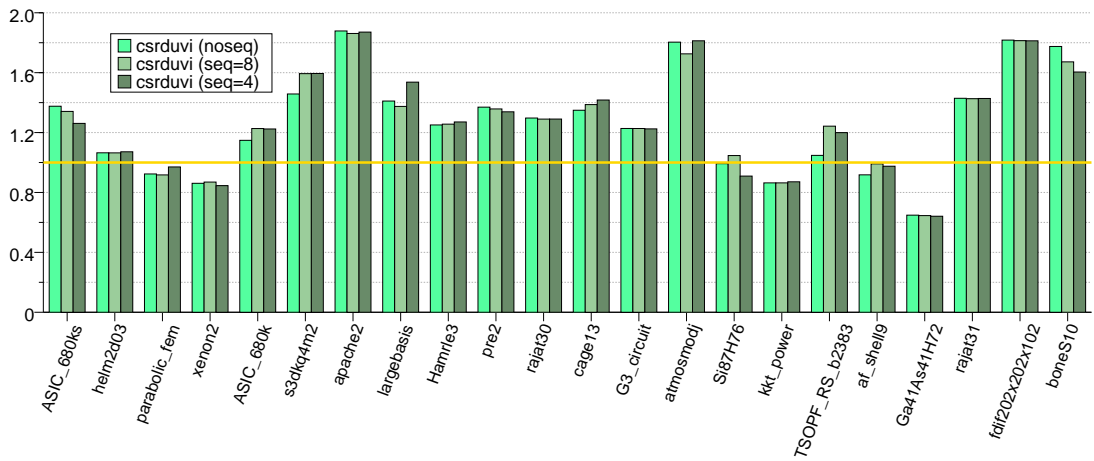


Figure 6.9: Performance improvement of CSR-DUVI over CSR for individual matrices, when all Nehalem 16 threads are utilized.

6.5 Related work

Despite that, in the common case, the value data constitute the larger part of the working set of SpMxV, there has been little research effort targeting its reduction. Lee et al. [LVDY04] exploit matrix symmetry by storing only half the matrix, i.e., reducing matrix data volume by 50%. However, our methods can lead to larger than 50% size reduction. For example, CSR-DUVI applied to the symmetric matrix `bone510` leads to a reduction of 88.1%. In the context of specialized hardware accelerators for SpMxV, Moloney et al. [MGMM05] discusses compression techniques for both index and value data. Additionally, there exist a number of works in the general area of scientific computation that are related to the value compression for the SpMxV kernel. Keys [Key00], proposes the use of lower precision representation for data that do not pose problems in the convergence procedure, while Langou et al. [LLL⁺06] propose mixed precision algorithms, which deliver double-precision arithmetic, while performing the bulk of the work in single-precision. Even though these approaches target the exploitation of characteristics of modern architectures (e.g., vectorization), they also contribute significantly to memory bandwidth reduction. In a different context, Burtscher and Ratanaworabhan [BR07] propose a method for the efficient compression of double-precision floating-point values, targeting network data transfers.

7

Enriched Matrix Structure Exploitation

7.1 Motivation and general approach

SpMxV is, in itself, a simple kernel, yet its performance, both actual and maximum, varies substantially for different sparse matrices. Variation on actual performance is exemplified in Figures 4.10 and 4.11, where the achieved FLOPs-per-second rates span a wide range of values. In other words, SpMxV execution time depends strongly on the structure of the sparse matrix, i.e., the input data of the algorithm. Moreover, different sparse matrices have different potential for performance improvement. For example we consider two matrices with the same dimensions and the same number of non-zero elements: (a) a matrix with a full main diagonal and (b) a matrix with one element per row, each element placed on a random column. Obviously, the first matrix's SpMxV execution time would greatly improve if it was stored in a format that exploits diagonal structure (e.g., the DIAG format). On the other hand, it would be difficult to optimize SpMxV performance on the second matrix, if column selection was truly random.

Usually real-world sparse matrices bear at least some structure on their elements as they represent relationships that arise from structured problems. A general storage format, like CSR, does not make any assumptions about the matrix data, and thus it cannot exploit this structure. On the other hand, specialized storage formats aim to improve SpMxV performance by taking advantage of matrix-specific structural properties. Examples of typical structural forms and corresponding storage formats include two-dimensional blocks targeted by the BCSR format and its variants (e.g., VBR), large diagonals targeted by the DIAG format, and contiguous non-zero elements targeted by the format described in [PH99].

As shown by the preceding examples, most storage formats deal with only one type of structural regularity. To efficiently represent matrices with more than one type of regularity, composite formats are used. In composite storage formats a matrix is split in sub-matrices, each stored in a different format [AGZ92]. SpMxV is implemented in two steps: (a) do the multiplication on each sub-matrix and (b) perform a reducing addition at the end.

CSR-DU, similarly with other storage formats, aims at exploitation of specific structural properties — dense areas and contiguous elements. A difference, however, is that CSR-DU is based on the concept of units, i.e. specific structural forms (*substructures*) that are frequently repeated on

the matrix. In its current form, CSR-DU is unable to efficiently represent all matrices, the most prominent example being matrices with diagonal structures. To overcome this limitation we extend the concept of units to support several different substructures, providing greater flexibility and eliminating the need for composite formats. We call the resulting storage format compressed sparse extended (CSX) and argue that it can be used for a wide range of optimizations that exploit matrix-specific knowledge.

The goal of CSX is to provide a framework for aggressively optimizing the SpMxV kernel using matrix-specific features. To do this, each matrix is described as a sequence of units. Units are characterized by their type and contain encoded information for generating matrix elements. Each unit type represents a substructure that enables efficient storage of the unit’s elements. The SpMxV kernel is implemented as an iteration over these units, where each unit is dispatched into a specialized multiplication routine. Extra care must be taken to ensure that data shared between these routines remain in a consistent state.

Ideally, the matrix, from its creation, would be efficiently described based on the substructures it contains. Currently, however, this not the case since sparse matrices are represented as a series of *(row, column, value)* tuples (e.g., in the Matrix Market exchange formats [BPR96]). Thus, substructures must be identified in a pre-processing phase, which induces potential overhead. We provide an initial evaluation of CSX using some simple substructures described in the following paragraphs. Our evaluation aims at investigating two issues: (a) the ability of the proposed substructures to efficiently describe matrices and (b) the resulting performance benefit on the SpMxV kernel when these substructures are exploited.

7.2 CSX substructures

7.2.1 Horizontal substructures

Using CSR-DU as a starting point, we observe that the encoding of sequential units is a special case of performing run-length encoding on the delta values (e.g., Table 7.1). In CSX we generalize the notion of sequential units to units with elements that have a constant distance. Thus, elements of the form: $(\alpha, \alpha + \delta, \alpha + 2\delta, \dots)$ are encoded using only their initial value (α), their constant distance (δ), and their quantity. We refer to this encoding as *delta run-length encoding* and to the generated units as *DRLE units*. The SpMxV code for this units type is shown in Listing 7.1. The distance of the unit’s elements δ is considered a compile-time constant, while unit size is considered a run-time variable contained in the unit’s data.

indices	2	3	5	7	8	9	10	11	12	13	17
deltas	2	1	2	2	1	1	1	1	1	1	4
run-length	(2,1)	(1,1)	(2,2)	(1,6)						(4,1)	

Table 7.1: Example of delta run-length encoding.

7.2.2 Vertical and diagonal substructures

To further enhance index compression, we augment DRLE units to include multiple directions for the sparse matrix elements. The directions we consider are vertical, diagonal and anti-diagonal (Table 7.2) using the same rationale as in the horizontal case. Hence, DRLE units are characterized by two parameters: direction and delta value. The multiplication code for vertical, diagonal and anti-diagonal units is shown in Listings 7.2, 7.3 and 7.4, respectively.

Direction		Elements	
		y	x
Horizontal	→	y_0	$x_0 + i\delta$
Vertical	↓	$y_0 + i\delta$	x_0
Diagonal	↘	$y_0 + i\delta$	$x_0 + i\delta$
Anti-diagonal	↙	$y_0 + i\delta$	$x_0 - i\delta$

Table 7.2: Directions for delta run-length encoding. The y and x columns contain an expression for generating the matrix elements for the specific direction given its delta value δ . Note that $0 \leq i < size$, where $size$ the number of elements in the unit.

7.3 CSX matrix construction

7.3.1 Substructure detection

Our substructure detection algorithm handles the supported substructures in a uniform way. The algorithm is based on a delta run-length encoding detector for the horizontal direction, which detects sequences (*runs*) of the same delta value. If the number of elements in a run is larger or equal than a specific configuration parameter, then the items are grouped together in a single unit. The detector can be easily implemented if it is assumed that the elements are iterated in lexicographical order. The detection algorithm pseudocode is shown in Algorithm 7.1.

indices:	1	10	11	12	13	14	21	41	61	81
delta values:	1	9	1	1	1	1	7	20	20	20

1x4

Figure 7.1: Horizontal detection example.

To simplify the detection process, detection of overlapped runs is not supported. An example is presented in Figure 7.1, where the detector has been configured to detect runs of size larger or equal than 4. Note that it does not detect the run of the indices 41,61,81, since its size is 3, and it also does not detect the run of the indices 1,41,61,81 since it overlaps with other elements.

In order to detect the rest of the substructures discussed in the previous paragraph, we use the horizontal detector and apply appropriate transformations on the matrix elements coordinates. For example, to detect vertical runs we swap the coordinates of the elements. The transformation

```
xi = x_indx;
yi = y_indx;
for (i=0; i < size; i++){
    y[yi] += *(values++) * x[xi];
    xi += DELTA;
}
```

Listing 7.1: SpMxV code for horizontal DRLE units

```
xi = x_indx;
yi = y_indx;
for (i=0; i < size; i++){
    y[yi] += *(values++) * x[xi];
    yi += DELTA;
}
```

Listing 7.2: Code for vertical DRLE units

```
xi = x_indx;
yi = y_indx;
for (i=0; i < size; i++){
    y[yi] += *(values++) * x[xi];
    xi += DELTA;
    yi += DELTA;
}
```

Listing 7.3: Code for diagonal DRLE units

```
xi = x_indx;
yi = y_indx;
for (i=0; i < size; i++){
    y[yi] += *(values++) * x[xi];
    xi -= DELTA;
    yi += DELTA;
}
```

Listing 7.4: Code for anti-diagonal DRLE units

Algorithm 7.1: Delta run-length encoding algorithm.

Input: An *indices* array containing column indices for a specific row

Input: A *limit* integer depicting the minimum size for DRLE units

```

deltas = deltaEncode(indices)           // perform delta-encoding on indices
deltarle ← deltas[0]                   // delta value of current run
freqrle ← 1                           // frequency of current run

for i ← 1 to deltas.size() do
  if deltas[i] == deltarle then           // the run continues
    | freqrle ← freqrle + 1
  else                                       // the run stops
    | if freqrle ≥ limit then encode in DRLE units // run is large enough
    | else keep individual indices           // run is small
    | deltarle ← deltas[i]
    | freqrle ← 1
  
```

functions for the substructures implemented are shown in Table 7.3. An example of applying the diagonal transformation function is shown in Figure 7.2. As it is illustrated in the example, the transformation function maps the coordinate pair of a matrix element to a new pair so that: the first coordinate identifies the diagonal of the element and the second coordinate identifies the location of the element in the diagonal. For example, element (3, 2) is mapped to (5, 2), which is the second element of the fifth diagonal.

Substructure	Transformation
Horizontal	$(i', j') = (i, j)$
Vertical	$(i', j') = (j, i)$
Diagonal	$(i', j') = (nrows + j - i, \min(i, j))$
Anti-diagonal	$(i', j') = \begin{cases} (nrows + j - i, j), & i < nrows \\ (j, i + j - nrows), & i \geq nrows \end{cases}$

Table 7.3: The transformations used to convert the different substructures to horizontal, in order to feed our detector.

Applying the transformation function, however, is not enough: coordinate pairs must be sorted before entered into the detection algorithm. The most common metric for measuring the computational complexity of a sorting algorithm is the number of comparisons performed and for n elements at least $\mathcal{O}(n \log n)$ comparisons are required in the typical case [Knu73]. Thus, the transformation-based approach is simple and elegant, but in the general case it requires more expensive pre-processing than other methods (e.g., CSR-DU and CSR-VI).

A detailed example of the detection of a diagonal substructure is illustrated in Figure 7.3.

$$\begin{pmatrix} (1,1) & (1,2) & (1,3) & (1,4) \\ (2,1) & (2,2) & (2,3) & (2,4) \\ (3,1) & (3,2) & (3,3) & (3,4) \\ (4,1) & (4,2) & (4,3) & (4,4) \end{pmatrix} \xrightarrow[j'=\min(i,j)]{i'=nrows+j-i} \begin{pmatrix} (4,1) & (3,1) & (2,1) & (1,1) \\ (5,1) & (4,2) & (3,2) & (2,2) \\ (6,1) & (5,2) & (4,3) & (3,3) \\ (7,1) & (6,2) & (5,3) & (4,4) \end{pmatrix}$$

Figure 7.2: Transformation example for diagonal DRLE units.

Initially, the transformation function T is applied to the elements **(1)**. Next, the transformed coordinates are lexicographically sorted and passed to the detector **(2)**. The detector groups the diagonal elements together in a single DRLE unit. For each DRLE unit, the following information is maintained: the first element of the run (5, 1), the current direction (*DIAG*), the delta value (1), and the unit's size (5). The last step is to apply the inverse transformation function T^{-1} on the first element of the unit **(3)**. The final result is equivalent to the original data and can be used to generate the corresponding matrix elements.

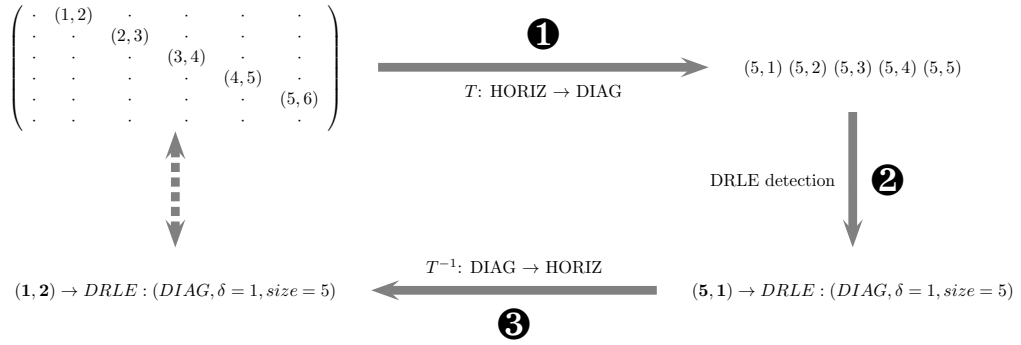


Figure 7.3: Diagonal DRLE detection example.

7.3.2 Substructure selection

Selecting a proper substructure subset for encoding the matrix is critical for SpMxV performance. If we encode matrix data using all possibilities, we run the risk of including a large number of substructures which makes the dispatch logic inefficient. For this reason, during the selection procedure, we filter out substructures that cover less than 10% of the total matrix elements.

We solve the selection problem using a greedy algorithm shown in Algorithm 7.2. At each iteration all possible transformations are applied on the matrix element's coordinates. For each transformation we perform DRLE detection and generate a score value that represents the suitability of the transformation for the matrix data. The transformation with the largest score is selected and appropriate substructure units are constructed. The algorithm is repeated for all remaining transformations until no more elements can be encoded. Remaining elements are placed in delta units, i.e., CSR-DU units, stored in row-major order.

We base the rating (i.e., scoring) of different encodings on two metrics, the first being the number of non-zero elements matched by the substructure. The second, less straightforward, metric is the number of units. If, for example, two encodings match the same number of ele-

Algorithm 7.2: Substructure selection algorithm.

Input: An array (*elems*) containing the elements of the matrix**Input:** A set (*xforms*) of transformations

```
while True do
  scoremax ← 0
  foreach xf in xforms do
    elems ← xf(elems)
    sort(elems)
    score ← getScore(elems)
    if score > scoremax then
      scoremax ← score
      xfmax ← xf
    elems ← xf-1(elems)

  if scoremax == 0 then
    break
  encode elems using xfmax
  remove xfmax from xforms
```

ments, we favor the encoding with the smaller number of units because it results in less overhead, both in storage and computation (e.g., in SpMxV). Specifically, we score encodings using the number of elements encoded minus the total number of units. The scoring value represents a simplistic approach for calculating index size reduction by considering that the storage size of each substructure is equal to the storage size of individual elements:

$$score = total_{mnz} - (units + total_{mnz} - encoded_{mnz}) = encoded_{mnz} - units$$

A selection example is illustrated in Figure 7.4. The matrix in this example contains two substructures: a diagonal and a vertical. Since the vertical substructure contains more elements than the diagonal it is selected on the first iteration and its elements are replaced with a unit positioned at (1, 2). On the second iteration a diagonal unit is created starting at (2, 3). Note that an element, e.g., (1, 2), cannot be a member of two or more units.

7.3.3 Matrix encoding

Similarly to the CSR-DU format, we encode the matrix index data in a single byte-array called *ct1*. Each unit starts with two bytes: *usize* and *uflags*. *usize* contains the number of unit elements, and *uflags* the unit's type along with some bookkeeping information. From the 8 bits of *uflags*, 6 are reserved for the encoding of the type, and 2 are used for a new row marker and a row offset marker. If the row offset bit is set, the header is followed by a variable-length integer equal to the number of empty rows. This is necessary, because the use of CSX units in directions other than the horizontal may lead to empty rows. Finally, a unit offset field (*ujmp*) is appended to the header. A unit, based on its type, may or may not include a main body: delta units contain the

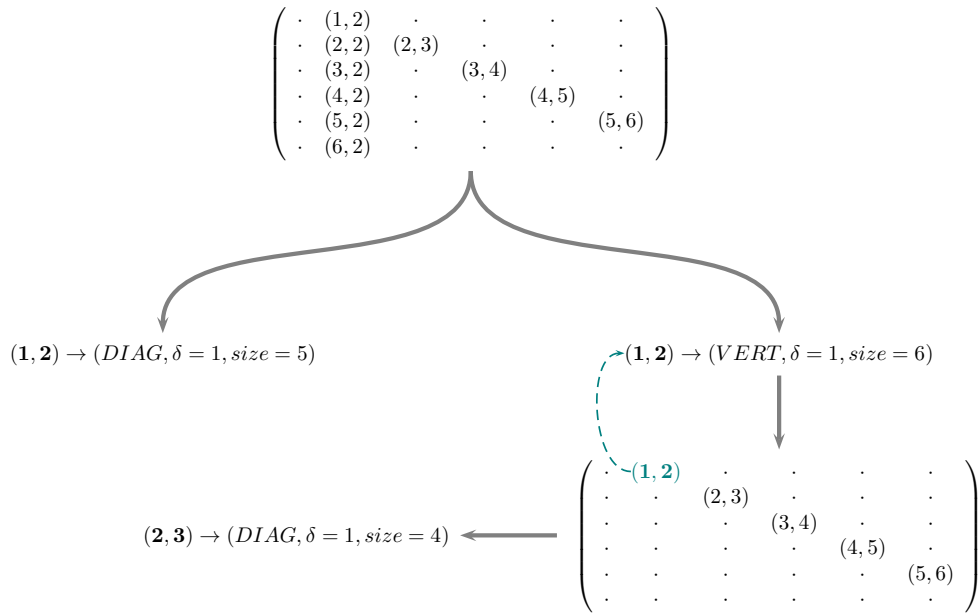


Figure 7.4: Substructure selection example

delta-encoded column indices, while DRLE units require only the header for element generation.

7.3.4 Multiplication routines

Conceptually the SpMxV operation on a CSX matrix is a two-level procedure. At the first level all units are iterated, while at the second level the appropriate multiplications and additions are performed. Note that for supporting a different operation, only the second level needs to change. In our implementation the units are iterated in row-major order based on their starting elements. We use a `switch` statement to transfer control from the first to the second level, based on each unit's type.

To accommodate for all possible cases, we employ a run-time code generation technique [KEH91], where a specialized SpMxV routine is generated for each matrix based on the substructure types its encoding contains. We base our implementation on the LLVM [LLV, LA04] compiler infrastructure. A core component of LLVM is its intermediate representation (IR), which resembles a RISC-like assembly, and it can be manipulated by optimization passes and used to produce native code for a number of different ISAs. The code for the SpMxV operation is generated programmatically in LLVM's IR. Subsequently, it is optimized and dynamically compiled to native code. A persistent cache of generated versions can be used to reduce the overhead of compilation and optimization.

7.4 Restrictions and extensions

Overall, CSX is a very flexible storage format. In our implementation, we detect substructures using delta run-length encoding and two-dimensional transformations. This unified and simple detection algorithm allows support for different substructures, provided that they can be expressed as transformations. For example, we can extend our system to support two-dimensional block structures by defining proper coordinate mappings. On the other hand, the detection algorithm induces a significant run-time overhead in pre-processing, making our approach impractical for a number of real-world scenarios.

We argue, however, that it is possible to reduce the pre-processing overhead by altering the detection algorithm. A first step towards this end is to perform detection on a limited window of the matrix elements. If the size of the window is constant, sorting is applied to a constant number of elements and does not affect overall complexity. The problem with this approach is that, by limiting our view to a local scope of constant size, it is difficult for the detector to make sound decisions on a global scale. For example, when acting locally the detector is unable to affirm whether a particular substructure will encode a large portion of the total matrix elements.

7.5 Experimental evaluation

7.5.1 Experimental setup

We perform our evaluation on two systems: (a) a two-way quad-core system* (8 cores total) based on Intel Harpertown processors (Figure 7.5a) and (b) a four-way 6-core system (24 cores total) based on Intel Dunnington processors (Figure 7.5b). Table 7.4 provides a more detailed description of the main characteristics of these systems.

Both systems run a 64-bit version of the Linux OS (kernel version 2.6). We used version 2.5 of the LLVM compiler infrastructure and `llvm-gcc 4.2.1` (a modified version of `gcc` that acts as a front-end for LLVM) as a static compiler. Threads are always scheduled to run on cores that are as “close” as possible. For example, in the Harpertown processor, 2 threads are scheduled on cores which share the L2 cache, while 4 threads are scheduled on the same physical package. For CSX, we perform a separate substructure selection for each thread’s data and group together units with a size larger or equal than 4. Our setup is otherwise similar to that of previous chapters: we use 32-bit indices and 64-bit values, measure the performance of 128 consecutive SpMxV operations, use the y output vector as the next iteration’s x vector, and evaluate our methods on a suite of 50 matrices (Table 4.3).

7.5.2 CSX encoding

Initially, we discuss the effectiveness of CSX in capturing substructures for the matrices of our set. Figure 7.6 presents a breakdown of the resulting unit types from the substructure selection phase for 1 thread. Delta units are designated with Dx , where x is the number of bits used for the delta values, while DRLE encoded elements are designated with $DIR(\delta)$, where DIR is the

*The same system used in the experimental evaluation of previous chapters (4, 5, 6).

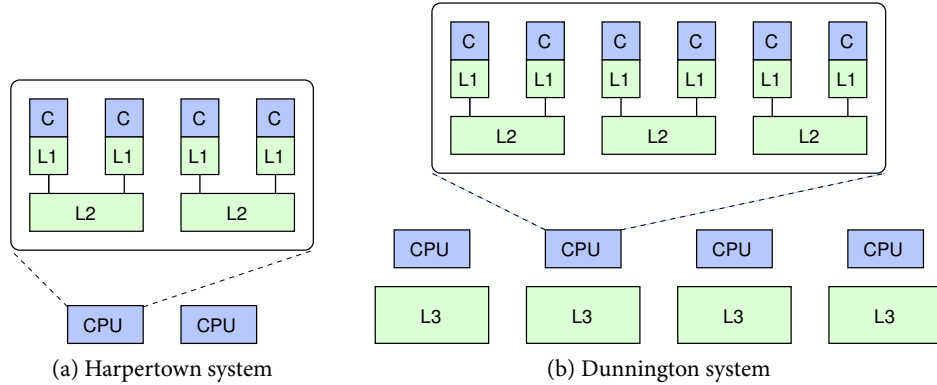


Figure 7.5: Cache hierarchy for the systems used for CSX performance evaluation

	Harpertown	Dunnington
Frequency (Ghz)	2.0	2.66
L1 (data/instruction)	32k/32k	32k/32k
L2 (unified)	6M (1/2 cores)	3M (1/2 cores)
L3 (unified)	-	16M (1/chip)
Number of cores	$2 \times 4 = 8$ cores	$4 \times 6 = 24$ cores

Table 7.4: Overview of the systems used for CSX performance evaluation

direction and δ is the corresponding delta value. For instance, *D16* is used for delta encoded elements using 2-bytes delta values and *Horizontal (2)* is used for horizontal elements with a delta value of 2^\dagger .

A significant number of elements in the matrices of our set adhere to DRLE substructures. The majority of the elements are encoded in horizontal, vertical or diagonal directions with $\delta = 1$. There are some cases of matrix elements encoded in a anti-diagonal direction (e.g., *Ga41As41H72*) or DRLE substructures with $\delta \neq 1$ (e.g., *Chebyshev4*), but they are limited. Hence, for the majority of the matrices in our set, we could reduce the overhead of pre-processing by limiting the detectable substructures. For example, detection restrained in a single direction and a single delta value (e.g., *Diagonal* with $\delta = 1$) can be implemented in $\mathcal{O}(nmz)$ steps, by keeping appropriate information in buffers.

7.5.3 CSX SpMxV performance

Next, we discuss SpMxV performance for the CSX format. We consider three CSX variations: (a) CSX without DRLE substructures (*delta*) (b) CSX with only horizontal DRLE substructures (*horiz*) and (c) CSX with all possible DRLE substructures (*full*). Note that the second and the first variations are roughly equivalent to CSR-DU with and without sequential units, respectively. The average speedups of the aforementioned CSX methods against serial CSR are illustrated in

$\dagger(x_0 + 2i, y_0), i = 0, 1, \dots$

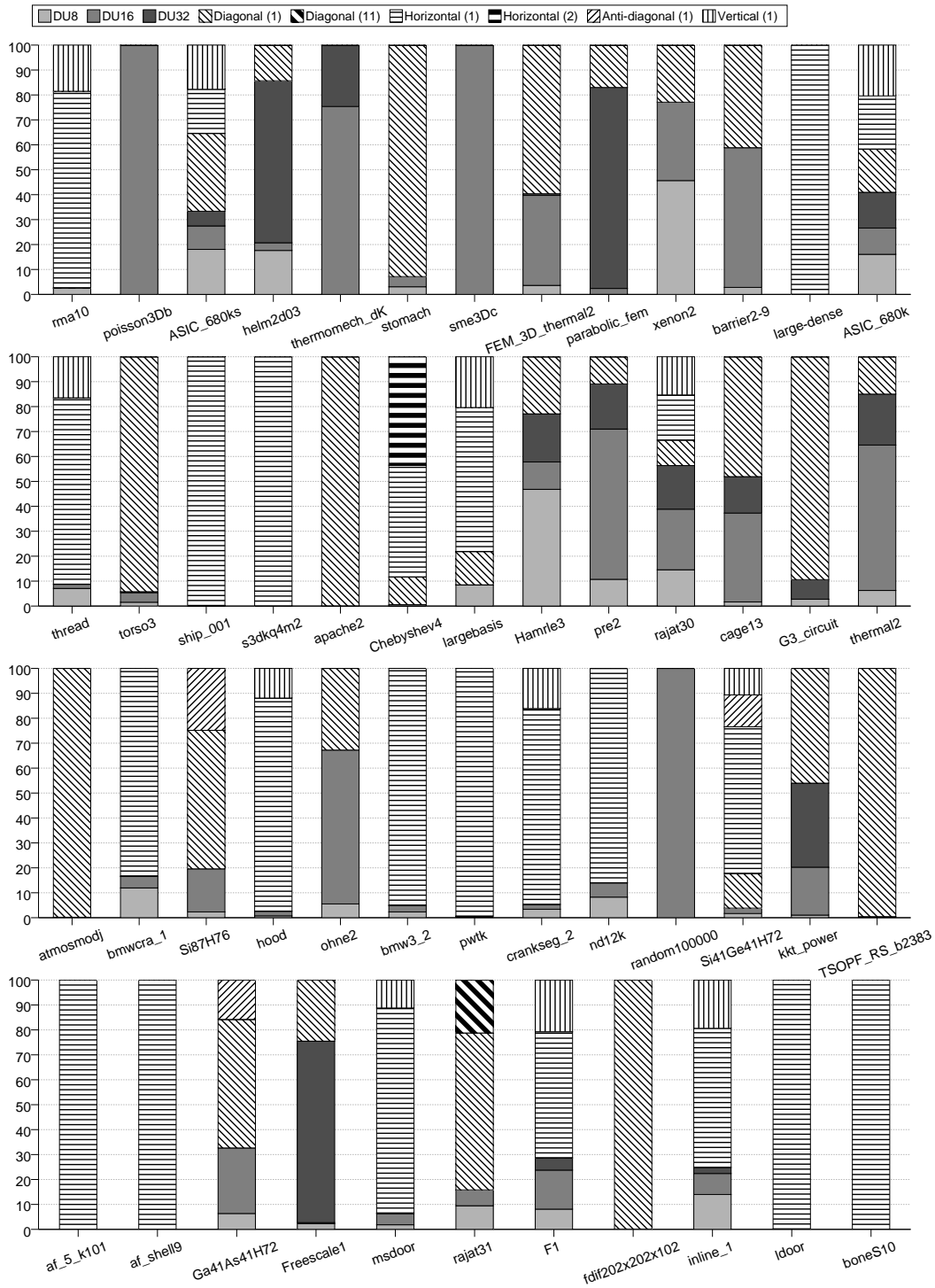


Figure 7.6: Breakdown of types resulting from CSX selection for each matrix

Figures 7.7a (Harpertown) and 7.7b (Dunnington). To avoid possible confusion, we note that the mismatching of Harpertown CSR results with the results presented in Chapter 4 is an outcome using different compilers.

The two systems exhibit similar behavior. On average, the *delta* and *horiz* CSX versions lead to significant speedup increase. When all 8 cores are utilized in Harpertown, the average speedups of *delta* and *horiz* versions are 1.99 and 2.17, improving upon CSR by 14% and 25%, respectively. The corresponding Dunnington speedups for 24 threads are 10.38 and 11.43 — improving upon CSR by roughly the same percentages as in the Harpertown case. The *full* version of CSX, however, provides little improvement over the *horiz* version. This is because the majority of the matrices in our experimental set are dominated by horizontal substructures. For these matrices, further compression leads to diminishing returns or even performance degradation.

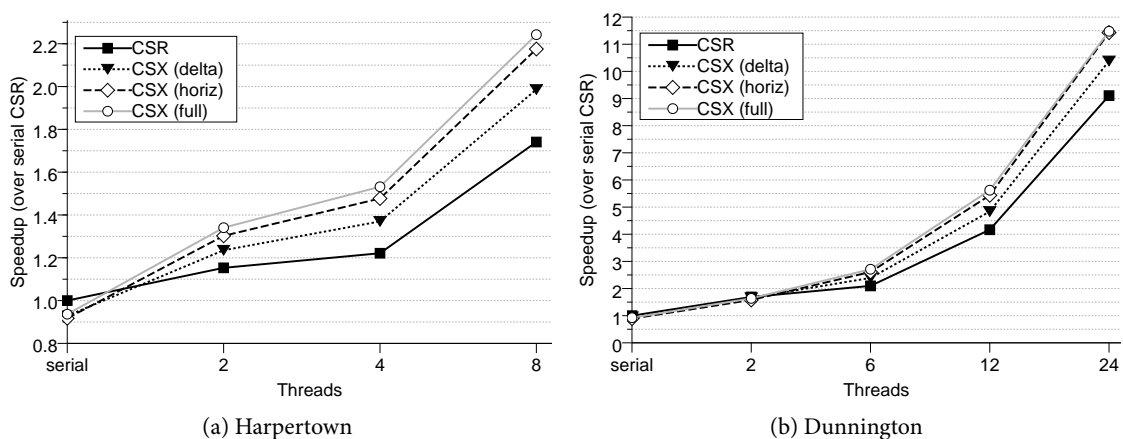


Figure 7.7: Average CSR and CSX parallel speedup over serial CSR.

On the other hand, *full* CSX is able to significantly improve the performance for matrices that are not dominated by horizontal structures. Detailed, per-matrix results are illustrated in Figures 7.8 and 7.9 that show the performance improvement of CSX methods over CSR, when all available cores are utilized. These graphs show that several matrices exist, for which the full version of CSX offers significant performance advantages over other CSX variants. Examples of such matrices are *stomach*, *torso3*, *apache2*, *G3_circuit*, *atmosmodj* and *Si187H76*, which are earpdominated by diagonal elements.

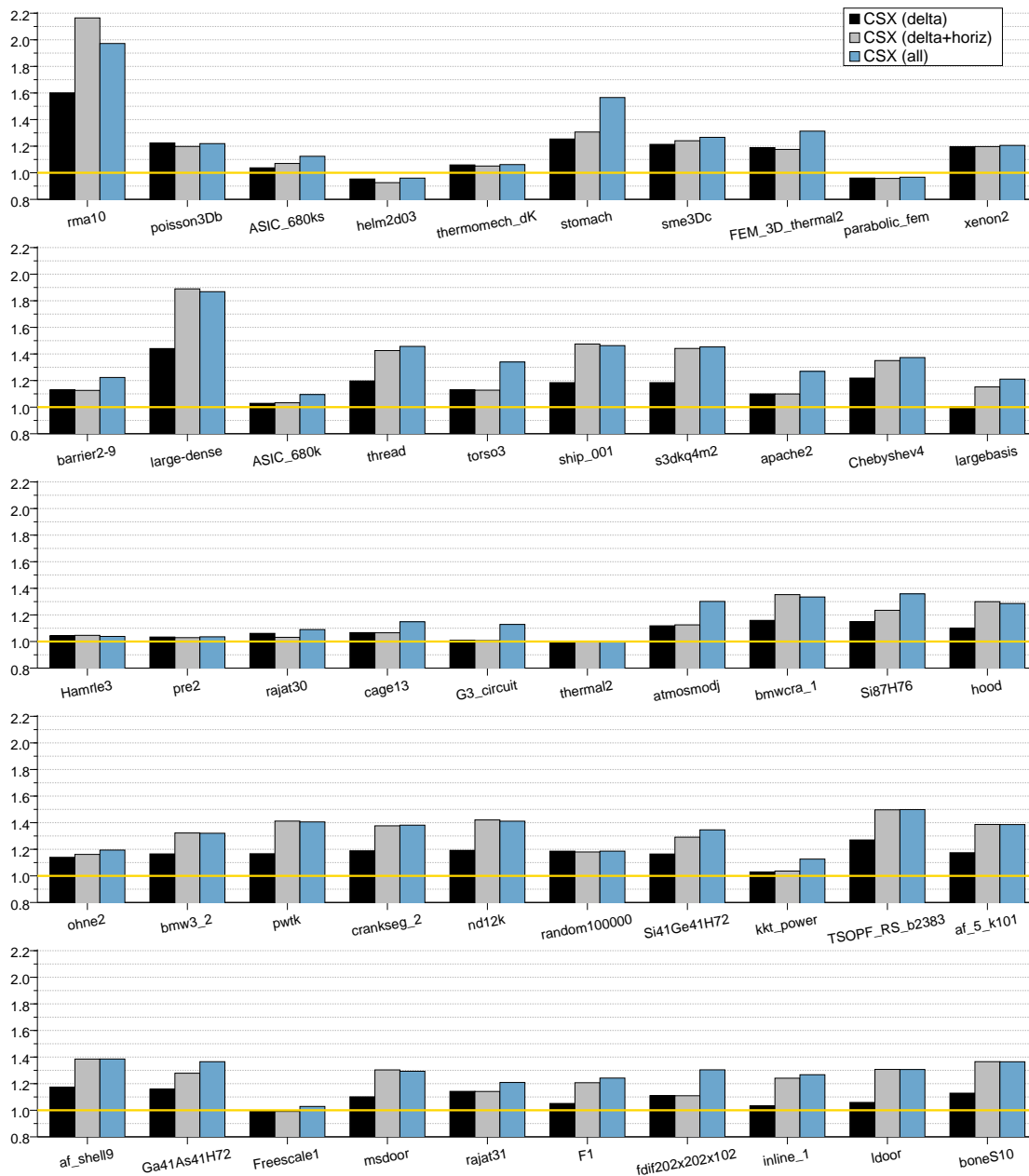


Figure 7.8: SpMxV performance improvement of CSX over CSR for individual matrices when all 8 Harpertown cores are utilized.

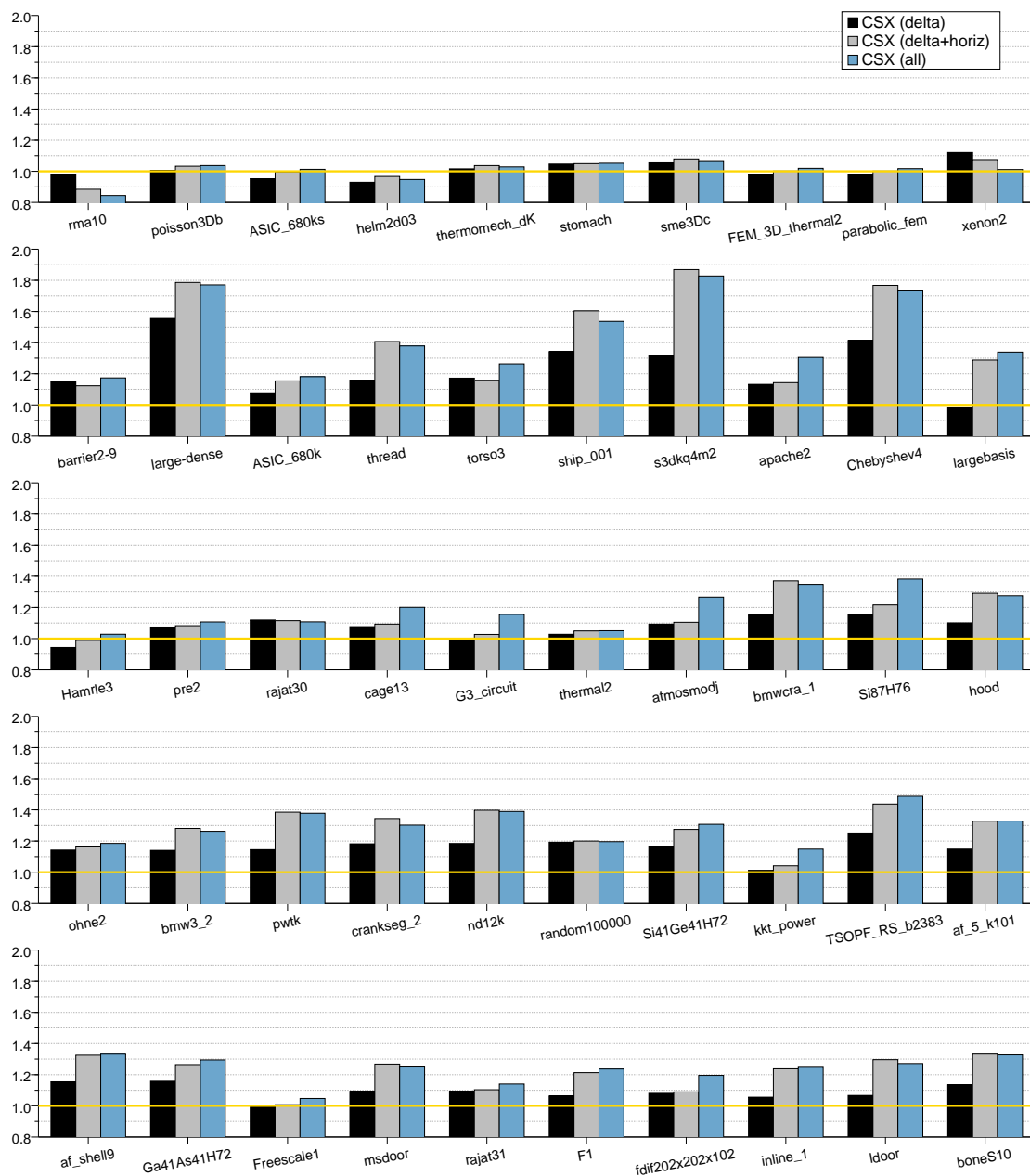


Figure 7.9: SpMxV performance improvement of CSX over CSR for individual matrices when all 24 Dunnington cores are utilized.

Conclusions and future work

One of the major performance bottlenecks of multicore architectures is the main memory subsystem because it is shared among cores. For the majority of applications this problem is solved via a cache hierarchy which reduces accesses to the main memory. In this thesis, however, we are concerned with applications that: (a) are unable to benefit from caching due to limited temporal locality and (b) they are characterized by a low computation to memory access ratio. These applications will typically perform poorly in a multithreaded environment, even if their parallelization introduces minimal overhead.

Our work proposes the use of compression techniques to tackle the aforementioned problem by sacrificing (scalable) CPU cycles to alleviate memory pressure. We direct our efforts towards SpMxV, an important scientific kernel used in a variety of applications. We devise two sparse matrix storage formats: CSR-DU and CSR-VI, which apply compression to the index and value data of the matrix, respectively. More specifically, CSR-DU applies a coarse-grained delta encoding compression scheme for column indices, and optionally supports dense variable-length one-dimensional blocks. CSR-VI, on the other hand, uses indirect indexing for the numerical value data, and can be meaningfully applied to matrices that exhibit a large percentage of common values. Moreover, we also considered the combination of these two formats (CSR-DUVI), that employs both the aforementioned techniques. Our experimental evaluation showed that all methods demonstrate a noticeable performance improvement when all available cores are employed. Additionally, our proposed methods exhibited performance stability, since only a small subset of our suite resulted in a significant slowdown compared to base-line performance (CSR).

Based on our previous work, we identify the need for a sparse matrix format that can be adapted to different structural properties. Towards this direction, we present a generalization of the CSR-DU format called CSX. CSX is able to utilize one-dimensional substructures across the same row, column, diagonal or anti-diagonal using a delta run-length encoding scheme. CSX is a very flexible storage format and can be further extended to incorporate other families of substructures if necessary. Since the majority of the matrices in our experimental set adhere to horizontal patterns already supported by CSR-DU, further compression applied by CSX leads to diminishing returns, i.e., small performance improvements. CSX, however, was able to significantly improve the performance for a number of matrices with diagonal substructures.

Next, we list possible future work directions.

- *Framework for adaptable SpMxV*: The optimal performance of the SpMxV kernel depends on two factors: the nature of the sparse matrix and the execution architecture. Our work focuses on general matrices consisting of double-precision floating-point values, and shared memory architectures that are unable to deliver the necessary memory bandwidth when all cores are utilized. Although one could argue that these conditions are the most common, they are not universal. In different conditions, the effect of the various optimizations can change. For instance, index compression is expected to be less beneficial when the matrix values are complex, while the converse is true for matrices with integer values.

Hence, an ideal SpMxV implementation should be able to adapt to different conditions (e.g., matrix symmetry, data type of matrix values, number of threads used, characteristics of the underlying micro-architecture) by being able to transform both the data and the code. We argue that the CSX storage format is a good starting point for such an attempt, due to its generality and flexibility.

- *Support for other sparse operations*: The SpMxV operation is a very important kernel for sparse computations, yet it is not the only one. We believe that our work, and specifically the CSX format, can be used to improve performance of other operations as well. CSX substructures allow for a semantically richer representation of the matrix, which is an essential requirement in realizing and exploiting optimization opportunities. A related, but more difficult, problem is the creation of proper representations for operations and substructures, such that their automatic composition is possible.
- *Use of compression techniques in other application domains*: As multicore processors become the norm and core counts increase, more applications will experience reduced performance due to limited memory bandwidth. Although the use of compression is not applicable to all cases, we believe that it can be used in applications domains other than sparse computations. Graph and database domains consist good candidates for such an approach — especially in read-only or read-mostly environments.

Bibliography

- [AAKK06] Evangelia Athanasaki, Nikos Anastopoulos, Kornilios Kourtis, and Nectarios Koziris. Exploring the performance limits of simultaneous multithreading for scientific codes. In *ICPP*, pages 45–54. IEEE Computer Society, 2006. 70
- [AAKK08] Evangelia Athanasaki, Nikos Anastopoulos, Kornilios Kourtis, and Nectarios Koziris. Exploring the performance limits of simultaneous multithreading for memory intensive applications. *The Journal of Supercomputing*, 44(1):64–97, 2008. 70
- [ABC⁺06] K. Asanovic, R. Bodik, B. C. Catanzaro, J. J. Gebis, P. Husbands, K. Keutzer, D. A. Patterson, W. L. Plishker, J. Shalf, S. W. Williams, and K. A. Yelick. The landscape of parallel computing research: A view from berkeley. Technical Report UCB/EECS-2006-183, EECS Department, University of California, Berkeley, December 18 2006. 13, 76
- [ABD⁺09] Krste Asanovic, Rastislav Bodik, James Demmel, Tony Keaveny, Kurt Keutzer, John Kubiawicz, Nelson Morgan, David Patterson, Koushik Sen, John Wawrzynek, David Wessel, and Katherine Yelick. A view of the parallel computing landscape. *Commun. ACM*, 52(10):56–67, 2009. 61
- [AGZ92] R. C. Agarwal, F. G. Gustavson, and M. Zubair. A high performance algorithm using pre-processing for the sparse matrix-vector multiplication. In *Supercomputing'92*, pages 32–41, Minn., MN, November 1992. IEEE. 6, 62, 83, 102, 135
- [ATKS07] Ali-Reza Adl-Tabatabai, Christos Kozyrakis, and Bratin Saha. Unlocking concurrency. *Queue*, 4(10):24–33, 2007. 62
- [BBC⁺94] R. Barrett, M. Berry, T. F. Chan, J. Demmel, J. M. Donato, J. Dongarra, V. Eijkhout, R. Pozo, C. Romine, and H. V. der Vorst. *Templates for the Solution of Linear Systems: Building Blocks for Iterative Methods*. SIAM, Philadelphia, 1994. 14, 58, 78, 83, 102
- [BBR09] M. Belgin, G. Back, and C. J. Ribbens. Pattern-based sparse matrix representation for memory-efficient smvm kernels. In *ICS '09: Proceedings of the 23rd international conference on Supercomputing*, pages 100–109, New York, NY, USA, 2009. ACM. 6, 58, 62, 103, 122
- [BDH⁺08] Kevin Barker, Kei Davis, Adolfo Hoisie, Darren J. Kerbyson, Mike Lang, Scott Pakin, and Jose C. Sancho. A Performance Evaluation of the Nehalem Quad-core Processor for Scientific Computing. *Parallel Processing Letters*, December 2008. 24, 93

- [BELF07] Alfredo Buttari, Victor Eijkhout, Julien Langou, and Salvatore Filippone. Performance optimization and modeling of blocked sparse kernels. *IJHPCA*, 21:467–484, 2007. 6, 16, 62, 81, 91, 92, 103
- [BFF⁺09] Aydin Buluç, Jeremy T. Fineman, Matteo Frigo, John R. Gilbert, and Charles E. Leiserson. Parallel sparse matrix-vector and matrix-transpose-vector multiplication using compressed sparse blocks. In *SPAA '09: Proceedings of the twenty-first annual symposium on Parallelism in algorithms and architectures*, pages 233–244, New York, NY, USA, 2009. ACM. 22, 89, 104
- [BP98] Sergey Brin and Lawrence Page. The anatomy of a large-scale hypertextual web search engine. *Comput. Netw. ISDN Syst.*, 30(1-7):107–117, 1998. 13, 76
- [BPR96] R. F. Boisvert, R. Pozo, and K. A. Remington. The matrix market exchange formats: Initial design. Technical Report NISTIR 5935, Applied and Computational Mathematics Division, National Institute of Standards and Technology, Gaithersburg, December 1996. 136
- [BR07] M. Burtscher and P. Ratanaworabhan. High throughput compression of double-precision floating-point data. In *DCC '07: Proceedings of the 2007 Data Compression Conference*, pages 293–302, Washington, DC, USA, 2007. IEEE Computer Society. 133
- [CA96] U. V. Catalyurek and C. Aykanat. Decomposing irregularly sparse matrices for parallel matrix-vector multiplication. *Lecture Notes In Computer Science*, 1117:75–86, 1996. 6, 59, 62, 103, 104
- [CLRS01] Thomas H Cormen, Charles E Leiserson, Ronald L Rivest, and Clifford Stein. *Introduction to Algorithms*. MIT Press, Cambridge, MA, second edition, 2001. 85
- [CS99] D.E. Culler and J.P. Singh. *Parallel computer architecture*. Morgan Kaufmann Publishers San Francisco, 1999. 65
- [CSC⁺05] Adrian Cristal, Oliverio J. Santana, Francisco Cazorla, Marco Galluzzi, Tanausu Ramirez, Miquel Pericas, and Mateo Valero. Kilo-instruction processors: Overcoming the memory wall. *IEEE Micro*, 25(3):48–57, 2005. 5, 61
- [Dav97] T. Davis. University of Florida sparse matrix collection. *NA Digest*, 97(23):7, 1997. 12, 28, 75, 76, 98
- [Deu96] P. Deutsch. DEFLATE Compressed Data Format Specification version 1.3. RFC 1951 (Informational), May 1996. 73
- [DG96] P. Deutsch and J-L. Gailly. ZLIB Compressed Data Format Specification version 3.3. RFC 1950 (Informational), May 1996. 73
- [Gee05] D. Geer. Chip makers turn to multicore processors. *IEEE Computer*, 38(5):11–13, 2005. 5, 61

- [GHF⁺06] M. Gschwind, H. P. Hofstee, B. K. Flachs, M. Hopkins, Y. Watanabe, and T. Yamazaki. Synergistic processing in cell's multicore architecture. *IEEE Micro*, 26(2):10–24, 2006. 22, 89
- [GKA⁺08] G. Goumas, K. Kourtis, N. Anastopoulos, V. Karakasis, and N. Koziris. Performance evaluation of the sparse matrix-vector multiplication on modern architectures. *The Journal of Supercomputing*, 2008. 24, 92
- [GR99] R. Geus and S. Röllin. Towards a fast parallel sparse matrix-vector multiplication. In *Parallel Computing: Fundamentals and Applications, International Conference ParCo*, pages 308–315. Imperial College Press, 1999. 6, 59, 62, 91, 103, 104
- [Gro07] Dan Grossman. The transactional memory / garbage collection analogy. *SIGPLAN Not.*, 42(10):695–706, 2007. 62
- [HK99] Bruce Hendrickson and Tamara G. Kolda. Partitioning rectangular and structurally unsymmetric sparse matrices for parallel processing. *SIAM J. Sci. Comput.*, 21(6):2048–2072, 1999. 12, 75
- [HP07] J.L. Hennessy and D.A. Patterson. *Computer Architecture: A Quantitative Approach*. Morgan Kaufmann, 2007. 65
- [Im00] E. Im. *Optimizing the performance of sparse matrix-vector multiplication*. PhD thesis, University of California, Berkeley, May 2000. 6, 62, 91, 102
- [IY99] E. Im and K. Yelick. Optimizing sparse matrix-vector multiplication on SMPs. In *9th SIAM Conference on Parallel Processing for Scientific Computing*. SIAM, March 1999. 6, 59, 62, 102, 103
- [IY01] E. Im and K. Yelick. Optimizing sparse matrix computations for register reuse in SPARSITY. *Lecture Notes in Computer Science*, 2073:127–136, 2001. 6, 15, 58, 62, 79, 92, 102
- [Joh99] Theodore Johnson. Performance measurements of compressed bitmap indices. In *VLDB*, pages 278–289, 1999. 73
- [KCA09] Chinmay Karande, Kumar Chellapilla, and Reid Andersen. Speeding up algorithms on compressed web graphs. In *WSDM '09: Proceedings of the Second ACM International Conference on Web Search and Data Mining*, pages 272–281, New York, NY, USA, 2009. ACM. 12, 13, 75, 76
- [KEH91] David Keppel, Susan J. Eggers, and Robert R. Henry. A case for runtime code generation. Technical Report UWCSE 91-11-04, University of Washington Department of Computer Science and Engineering, November 1991. 52, 142
- [Key00] D.E. Keyes. *Four Horizons for Enhancing the Performance of Parallel Simulations Based on Partial Differential Equations*. Springer, 2000. 59, 133

- [KGK08] Kornilios Kourtis, Georgios Goumas, and Nectarios Koziris. Optimizing sparse matrix-vector multiplication using index and value compression. In *CF '08: Proceedings of the 2008 conference on Computing frontiers*, pages 87–96, New York, NY, USA, 2008. ACM. 1
- [KGK09a] V. Karakasis, G. Goumas, and N. Koziris. A comparative study of blocking storage methods for sparse matrices on multicore architectures. In *12th IEEE International Conference on Computational Science and Engineering (CSE-09)*, Vancouver, Canada, 2009. IEEE Computer Society. 6, 16, 62, 81
- [KGK09b] V. Karakasis, G. Goumas, and N. Koziris. Exploring the effect of block shapes on the performance of sparse kernels. In *IEEE International Symposium on Parallel and Distributed Processing (Workshop on Parallel and Distributed Scientific and Engineering Computing with Applications)*, Rome, Italy, 2009. IEEE. 6, 16, 62, 80, 81
- [KHK⁺05] H. Kotakemori, H. Hasegawa, T. Kajiyama, A. Nukada, R. Suda, and A. Nishida. Performance evaluation of parallel sparse matrix-vector products on SGI Altix3700. In *1st International Workshop on OpenMP (IWOMP)*, Eugene, OR, USA, June 2005. 6, 62, 104
- [KKR⁺99] J.M. Kleinberg, S.R. Kumar, P. Raghavan, S. Rajagopalan, and A.S. Tomkins. The web as a graph: Measurements, models and methods. *Lecture Notes in Computer Science*, pages 1–17, 1999. 12, 75
- [Knu73] D.E. Knuth. *The art of computer programming. Vol. 3, Sorting and Searching*. Addison-Wesley Reading, MA, 1973. 139
- [LA04] Chris Lattner and Vikram Adve. LLVM: A Compilation Framework for Lifelong Program Analysis & Transformation. In *Proceedings of the 2004 International Symposium on Code Generation and Optimization (CGO'04)*, Palo Alto, California, Mar 2004. 52, 142
- [LLL⁺06] Julie Langou, Julien Langou, Piotr Luszczek, Jakub Kurzak, Alfredo Buttari, and Jack Dongarra. Exploiting the performance of 32 bit floating point arithmetic in obtaining 64 bit accuracy (revisiting iterative refinement for linear systems). In *SC '06: Proceedings of the 2006 ACM/IEEE conference on Supercomputing*, page 113, New York, NY, USA, 2006. ACM. 59, 133
- [LLV] The LLVM Compiler Infrastructure. <http://www.llvm.org/>. 52, 142, 161
- [LVDY04] B.C. Lee, R.W. Vuduc, J.W. Demmel, and K.A. Yelick. Performance models for evaluation and automatic tuning of symmetric sparse matrix-vector multiply. In *ICPP '04: Proceedings of the International Conference on Parallel Processing*, pages 169–176 vol.1, 15-18 Aug. 2004. 59, 133
- [MCG04] J. Mellor-Crummey and J. Garvin. Optimizing sparse matrix-vector product computations using unroll and jam. *International Journal of High Performance Computing Applications*, 18(2):225, 2004. 6, 58, 62, 91, 103

- [MGM⁺09] Paul E. McKenney, Manish Gupta, Maged M. Michael, Phil Howard, Joshua Triplett, and Jonathan Walpole. Is parallel programming hard, and if so, why? Technical report, Portland State University, Portland, OR, USA, February 2009, 2009. 62
- [MGMM05] David Moloney, Dermot Geraghty, Colm McSweeney, and Ciarán McElroy. Streaming sparse matrix compression/decompression. In Thomas M. Conte, Nacho Navarro, Wen mei W. Hwu, Mateo Valero, and Theo Ungerer, editors, *HiPEAC*, volume 3793 of *Lecture Notes in Computer Science*, pages 116–129. Springer, 2005. 59, 133
- [OH05] Kunle Olukotun and Lance Hammond. The future of microprocessors. *Queue*, 3(7):26–29, 2005. 61
- [ONH⁺96] Kunle Olukotun, Basem A. Nayfeh, Lance Hammond, Ken Wilson, and Kunyung Chang. The case for a single-chip multiprocessor. In *ASPLOS-VII: Proceedings of the seventh international conference on Architectural support for programming languages and operating systems*, pages 2–11, New York, NY, USA, 1996. ACM. 5, 61
- [OQ97] Patrick O’Neil and Dallon Quass. Improved query performance with variant indexes. In *SIGMOD ’97: Proceedings of the 1997 ACM SIGMOD international conference on Management of data*, pages 38–49, New York, NY, USA, 1997. ACM. 72
- [PDG06] Jeff Parkhurst, John Darringer, and Bill Grundmann. From single core to multi-core: preparing for a new exponential. In *ICCAD ’06: Proceedings of the 2006 IEEE/ACM international conference on Computer-aided design*, pages 67–72, New York, NY, USA, 2006. ACM. 5, 61
- [PH99] A. Pinar and M. T. Heath. Improving performance of sparse matrix-vector multiplication. In *Supercomputing’99*, Portland, OR, November 1999. ACM SIGARCH and IEEE. 6, 30, 35, 48, 58, 62, 91, 92, 102, 105, 110, 122, 135
- [PHCR04] J. C. Pichel, D. B. Heras, J. C. Cabaleiro, and F. F. Rivera. Improving the locality of the sparse matrix-vector product on shared memory multiprocessors. In *PDP*, pages 66–71. IEEE Computer Society, 2004. 6, 59, 62, 91, 103, 104, 122
- [PHCR05] J. C. Pichel, D. B. Heras, J. C. Cabaleiro, and F. F. Rivera. Performance optimization of irregular codes based on the combination of reordering and blocking techniques. *Parallel Computing*, 31(8-9):858–876, 2005. 6, 62, 103
- [PRdB89] G.V. Paolini and G. Radicati di Brozolo. Data structures to vectorize CG algorithms for general sparsity patterns. *BIT Numerical Mathematics*, 29(4):703–718, 1989. 58, 102
- [Saa94] Y. Saad. SPARSKIT: A basic tool kit for sparse matrix computations. Technical report, Computer Science Department, University of Minnesota, Minneapolis, MN 55455, June 1994. Version 2. 28, 98

- [Saa03] Y. Saad. *Iterative Methods for Sparse Linear Systems*. SIAM, Philadelphia, PA, USA, 2003. 12, 13, 14, 58, 75, 76, 78, 83, 102
- [SBB⁺07] Manish Shah, Jama Barreh, Jeff Brooks, Robert Golla, Gregory Grohoski, Nils Gura, Rick Hetherington, Paul Jordan, Mark Luttrell, Christopher Olson, Bikram Saha, Denis Sheahan, Lawrence Spracklen, and Aaron Wynn. UltraSPARC T2: A Highly-Threaded, Power-Efficient, SPARC SOC. In *Asian Solid-State Circuits Conference*, 2007. 70
- [SL05] Herb Sutter and James Larus. Software and the concurrency revolution. *Queue*, 3(7):54–62, 2005. 62
- [Sut05] H. Sutter. The free lunch is over: A fundamental turn toward concurrency in software. *Dr. Dobbs' Journal*, 30(3):202–210, 2005. 61
- [SW05] Malik Silva and Richard Wait. Sparse matrix storage revisited. In *CF '05: Proceedings of the 2nd conference on Computing frontiers*, pages 230–235, New York, NY, USA, 2005. ACM. 102
- [TEL95] Dean M. Tullsen, Susan J. Eggers, and Henry M. Levy. Simultaneous multithreading: maximizing on-chip parallelism. In *ISCA '95: Proceedings of the 22nd annual international symposium on Computer architecture*, pages 392–403, New York, NY, USA, 1995. ACM. 24, 70, 93
- [TJ92] O. Temam and W. Jalby. Characterizing the behavior of sparse algorithms on caches. In *Supercomputing'92*, pages 578–587, Minnesota., MN, November 1992. IEEE. 6, 62, 102, 122
- [Tol97] S. Toledo. Improving the memory-system performance of sparse-matrix vector multiplication. *IBM Journal of Research and Development*, 41(6):711–725, 1997. 6, 58, 62, 102
- [UGMW01] Jeffrey D. Ullman, Hector Garcia-Molina, and Jennifer Widom. *Database Systems: The Complete Book*. Prentice Hall PTR, Upper Saddle River, NJ, USA, 2001. 72
- [VB05] Brendan Vastenhouw and Rob H. Bisseling. A two-dimensional data distribution method for parallel sparse matrix-vector multiplication. *SIAM Rev.*, 47(1):67–95, 2005. 12, 75, 89
- [VDY⁺02] R. Vuduc, J. Demmel, K. Yelick, S. Kamil, R. Nishtala, and B. Lee. Performance optimizations and bounds for sparse matrix-vector multiply. In *Supercomputing*, Baltimore, MD, November 2002. 6, 58, 62, 103
- [VM05] R. W. Vuduc and H. Moon. Fast sparse matrix-vector multiplication by exploiting variable block structure. In *High Performance Computing and Communications*, volume 3726 of *Lecture Notes in Computer Science*, pages 807–816. Springer, 2005. 6, 58, 62, 80, 92, 103

- [Vud03] Richard Vuduc. *Automatic Performance Tuning of Sparse Matrix Kernels*. PhD thesis, University of California, Berkeley, 2003. 6, 14, 16, 62, 78, 79, 81, 82, 83
- [Wil08] Samuel Webb Williams. *Auto-tuning Performance on Multicore Computers*. PhD thesis, EECS Department, University of California, Berkeley, Dec 2008. 6, 62, 83
- [WL06] J. Willcock and A. Lumsdaine. Accelerating sparse matrix computations via data compression. In *ICS '06: Proceedings of the 20th annual International Conference on Supercomputing*, pages 307–316, New York, NY, USA, 2006. ACM Press. 6, 30, 58, 62, 92, 103, 105, 122
- [WOS06] Kesheng Wu, Ekow J. Otoo, and Arie Shoshani. Optimizing bitmap indices with efficient compression. *ACM Trans. Database Syst.*, 31(1):1–38, 2006. 73
- [WOV⁺07] S. Williams, L. Oilker, R. Vuduc, J. Shalf, K. Yelick, and J. Demmel. Optimization of sparse matrix-vector multiplication on emerging multicore platforms. In *SC '07: Proceedings of the 2007 ACM/IEEE conference on Supercomputing*, Reno, NV, November 2007. 21, 59, 89, 104
- [WOV⁺09] Samuel Williams, Leonid Oliker, Richard Vuduc, John Shalf, Katherine Yelick, and James Demmel. Optimization of sparse matrix-vector multiplication on emerging multicore platforms. *Parallel Computing*, 35(3):178 – 194, 2009. Revolutionary Technologies for Acceleration of Emerging Petascale Applications. 6, 59, 62, 104
- [WS97] J. White and P. Sadayappan. On improving the performance of sparse matrix-vector multiplication. In *HiPC '97: 4th International Conference on High Performance Computing*, 1997. 6, 58, 62, 92, 102

Implementation Details



A.1 Blocked version of matrix multiplication

Listing A.1 shows an implementation of blocking matrix multiplication for $N \times N$ matrices.

```
for (bi = 0; bi < N; bi += mstep)
  i_max = MIN(N, bi+mstep);
  for (bk = 0; bk < N; bk += rstep)
    k_max = MIN(N, bk+rstep);
    for (bj = 0; bj < N; bj += cstep)
      j_max = MIN(N, bj+cstep);
      for (i = bi ; i < i_max; i++)
        for (k = bk; k < k_max; k++)
          for ( j = bj ; j < j_max; j++)
            C[i][j] += A[i][k] * B[k][j];
```

Listing A.1: Matrix multiplication kernel (blocked version)

A.2 Memory throughput benchmark

To measure the memory throughput of a system, we developed a benchmark that allocates and initializes large memory areas and subsequently performs read operations using streaming instructions. The benchmark supports multiple threads and NUMA-aware allocation. The following function is the core function of our memory benchmark. It uses x86 Streaming SIMD Extensions (SSE) instructions to load data from memory to registers. At each iteration, it performs 16 independent 16-byte loads.

```
void bwm_read(void *data)
{
    asm volatile (
        "movdqa 0(%[d]), %%xmm0 \n\t"
        "movdqa 16(%[d]), %%xmm1 \n\t"
        "movdqa 32(%[d]), %%xmm2 \n\t"
        "movdqa 48(%[d]), %%xmm3 \n\t"
        "movdqa 64(%[d]), %%xmm4 \n\t"
        "movdqa 80(%[d]), %%xmm5 \n\t"
        "movdqa 96(%[d]), %%xmm6 \n\t"
        "movdqa 112(%[d]), %%xmm7 \n\t"
        "movdqa 128(%[d]), %%xmm8 \n\t"
        "movdqa 144(%[d]), %%xmm9 \n\t"
        "movdqa 160(%[d]), %%xmm10 \n\t"
        "movdqa 176(%[d]), %%xmm11 \n\t"
        "movdqa 192(%[d]), %%xmm12 \n\t"
        "movdqa 208(%[d]), %%xmm13 \n\t"
        "movdqa 224(%[d]), %%xmm14 \n\t"
        "movdqa 240(%[d]), %%xmm15 \n\t"
        :
        : [d] "r"(data)
    );
}
```

Listing A.2: Memory throughput benchmark: streaming reads on x86 (64 bit)

A.3 Memcomp benchmark

The memcomp benchmark creates synthetic instruction streams and measures their performance. The streams are created based on three parameters: c , $unroll$ and $loops$. Each stream is essentially a loop that is executed $loops$ times. At each iteration of this loop there are $unroll$ instances of: a memory load followed by c additions. The implementation is based on the LLVM [LLV] compiler infrastructure. We consider an example where $c = 3$ and $unroll = 64$; Listings A.3 and A.4 show the resulting code for LLVM and x86 ISA, respectively.

```
%2 = load double* %val_ptr
%next_cnt = add i64 %cnt, 1
%val_add = add double %2, %1
%val_add1 = add double %2, %val_add
%val_add2 = add double %2, %val_add1
%val_ptr3 = getelementptr double* %0, i64 %next_cnt
%3 = load double* %val_ptr3
%next_cnt4 = add i64 %next_cnt, 1
%val_add5 = add double %3, %val_add2
%val_add6 = add double %3, %val_add5
%val_add7 = add double %3, %val_add6
%val_ptr8 = getelementptr double* %0, i64 %next_cnt4
(...)
%65 = load double* %val_ptr313
%next_cnt314 = add i64 %next_cnt309, 1
%val_add315 = add double %65, %val_add312
%val_add316 = add double %65, %val_add315
%val_add317 = add double %65, %val_add316
```

Listing A.3: Memcomp benchmark example for $c=3$ and $unroll=64$ (LLVM)

```
movsd    (%rdi,%rax,8), %xmm1
addsd    %xmm1, %xmm0
addsd    %xmm1, %xmm0
addsd    %xmm1, %xmm0
movsd    8(%rdi,%rax,8), %xmm1
addsd    %xmm1, %xmm0
addsd    %xmm1, %xmm0
addsd    %xmm1, %xmm0
(...)
movsd    504(%rdi,%rax,8), %xmm1
addsd    %xmm1, %xmm0
addsd    %xmm1, %xmm0
addsd    %xmm1, %xmm0
```

Listing A.4: Memcomp benchmark example for $c=3$ and $unroll=64$ (x86 assembly)